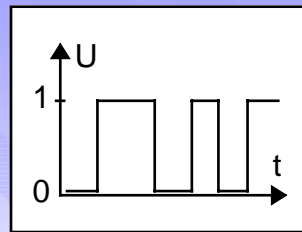
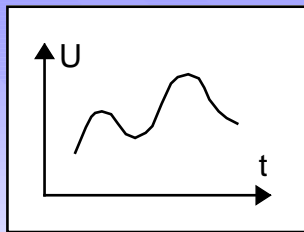


Modes de représentation des systèmes combinatoires

- Fonctions logiques de base
- Algèbre de Boole
- Fonctions logiques à deux variables
- Spécification des fonctions logiques

andre.stauffer@epfl.ch

Analogique - Numérique



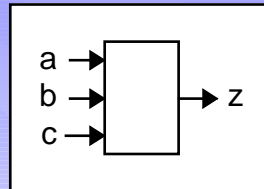
En électronique analogique, la tension U [V] varie de façon continue dans le temps t [s]

En électronique numérique, la tension ne prend que deux valeurs au cours du temps: les états logiques 0 et 1

L'état logique 1 est proche de la tension d'alimentation VDD

L'état logique 0 est proche de la masse VSS ou GND

Circuit numérique

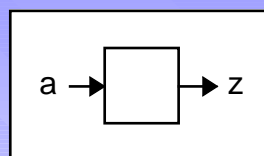


Un circuit numérique peut être représenté comme une boîte noire avec un certain nombre d'entrées et de sorties

Les entrées et les sorties d'un tel circuit prennent uniquement les états logiques 0 et 1

Le circuit numérique réalise ainsi des fonctions logiques qui ne dépendent que d'un nombre limité de combinaisons des variables d'entrée

Fonctions d'une variable



Un circuit numérique à une variable d'entrée réalise une fonction logique qui dépend des deux valeurs 0 et 1 de cette variable

L'ensemble des fonctions d'une variable sont données dans une table appelée table de vérité

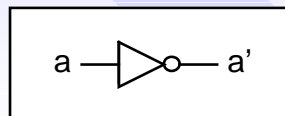
| a | z0 | z1 | z2 | z3 |
|---|----|----|----|----|
| 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |

Fonction NON

| a | z2 |
|---|----|
| 0 | 1 |
| 1 | 0 |

La fonction NON $z2=a'$, appelée aussi inversion, négation ou complémentation, est la première des trois fonctions de base de l'algèbre de Boole

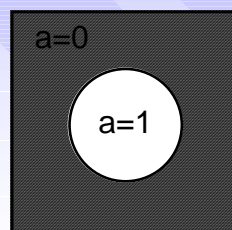
Elle est réalisée en pratique par la porte NON dont le symbole se compose d'un triangle représentatif de l'amplification et d'un petit cercle traduisant l'inversion



Fonction NON

Le diagramme de Venn fait apparaître deux régions dans un plan de référence: l'extérieur du cercle correspond à l'état logique 0 de la variable a, l'intérieur à l'état logique 1

La représentation de la fonction NON consiste à hachurer la région dans laquelle cette fonction vaut 1



Théorème

Le théorème de double complémentation satisfait la relation:

$$(a')' = a$$

Pour le vérifier, il suffit d'établir la table de vérité qui exprime d'abord a' par rapport à a , puis $(a')'$ par rapport à a'

On compare ensuite les valeurs de a et de $(a')'$

| a | a' | $(a')'$ |
|-----|------|---------|
| 0 | 1 | 0 |
| 1 | 0 | 1 |

Fonction NON

$$\begin{array}{l} z_2 = a' \quad (1) \\ z_2 = \bar{a} \quad (2) \end{array}$$

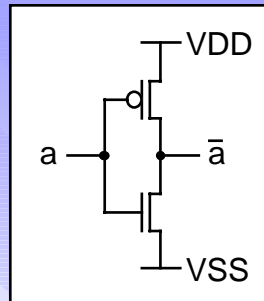
Les relations (1) et (2) expriment toutes deux l'inversion, la négation ou la complémentation de la variable a

Dans le texte, nous ferons appel à la notation (1)

Dans les figures, nous utiliserons indifféremment les notations (1) et (2)

L'expression orale s'inspire de la notation (2), on parle de variable a -barre

Fonction NON

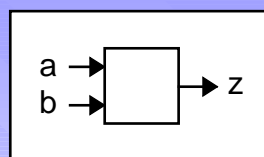


Le circuit inverseur CMOS se compose d'un transistor NMOS et d'un transistor PMOS

Lorsque la variable d'entrée $a=0$, le transistor PMOS conduit et la sortie du circuit est reliée à l'alimentation VDD

Lorsque la variable d'entrée $a=1$, le transistor NMOS conduit et la sortie du circuit est reliée à la masse VSS

Fonctions de deux variables



Un circuit numérique à deux variables d'entrée réalise une fonction logique qui dépend des quatre combinaisons de ces variables

L'ensemble des 16 fonctions de deux variables sont résumées dans la table de vérité

| a | b | z0 | z1 | z2 | z3 | z4 | z5 | z6 | z7 | z8 | .. z10 | .. z12 | .. z15 |
|---|---|----|----|----|----|----|----|----|----|----|--------|--------|--------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |

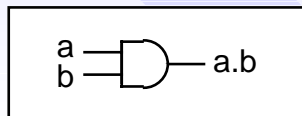
Fonction ET

| a | b | z1 |
|---|---|----|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

La fonction ET ou produit logique $z1=a.b$ est la deuxième fonction de base de l'algèbre de Boole

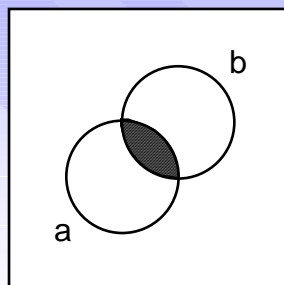
Elle vaut 1 si ses variables d'entrée a et b valent simultanément 1

Elle est réalisée en pratique par la porte ET dont le symbole est représenté ci-dessous

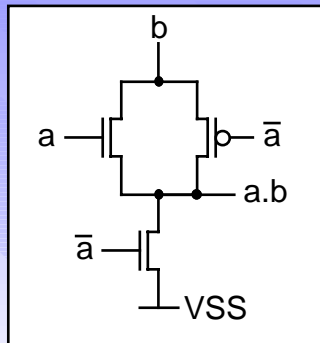


Fonction ET

Le diagramme de Venn représentant le produit logique des deux variables a et b met en évidence l'intersection des deux cercles représentatifs de ces variables



Fonction ET



La porte ET CMOS se compose de deux transistors NMOS et d'un transistor PMOS

Les deux transistors supérieurs constituent une porte de transmission pour la variable b

Cette porte de transmission conduit lorsque $a=1$ ($a'=0$)

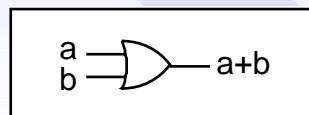
Fonction OU

| a | b | $z7$ |
|---|---|------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

La fonction OU ou somme logique $z7=a+b$ est la troisième fonction de base de l'algèbre de Boole

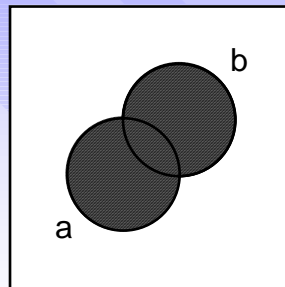
Elle vaut 1 si l'une de ses variables d'entrée a ou b vaut 1

Elle est réalisée en pratique par la porte OU dont le symbole est représenté ci-dessous

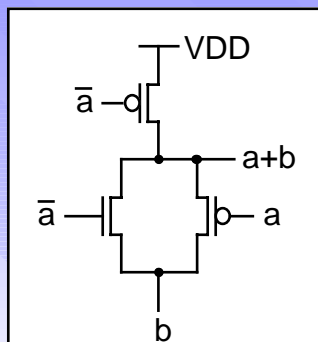


Fonction OU

Le diagramme de Venn représentant la somme logique des deux variables a et b met en évidence la réunion des deux cercles représentatifs de ces variables



Fonction OU



La porte OU CMOS se compose de deux transistors PMOS et d'un transistor NMOS

Les deux transistors inférieurs constituent une porte de transmission pour la variable b

Cette porte de transmission conduit lorsque $a=0$ ($a'=1$)

Algèbre de Boole

L'algèbre logique ou algèbre de Boole est caractérisé par trois fonctions logiques de base:

L'inversion, négation ou complémentation a' de la variable ou de l'expression a

Le produit logique $a.b$ des variables ou des expressions a et b

La somme logique $a+b$ des variables ou des expressions a et b

La plupart des théorèmes de l'algèbre de Boole s'expriment ainsi relativement à chacun des deux opérateurs produit et somme logiques

Théorèmes

Exprimés relativement au produit et la somme les théorèmes de commutativité s'écrivent:

$$a.b = b.a$$

$$a + b = b + a$$

Si a est égal à b , la relation est vérifiée trivialement

Si a est différent de b , la vérification peut se faire à l'aide des fonctions $z1=a.b$ et $z7=a+b$ de la table de vérité

| a | b | z1 | z7 |
|---|---|----|----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Théorèmes

Les théorèmes d'idempotence satisfont le produit et la somme suivantes:

$$a \cdot a = a$$

$$a + a = a$$

On vérifie ces relations en imposant $b=a$ dans la table de $z1$ et $z7$

Il en découle les formes généralisées:

$$a \cdot a \dots a = a$$

$$a + a + \dots + a = a$$

| a | b | z1 | z7 |
|---|---|----|----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Théorèmes

Les théorèmes des constantes s'expriment par rapport au 0 logique et au 1 logique:

$$a \cdot 0 = 0$$

$$a \cdot 1 = a$$

$$a + 0 = a$$

$$a + 1 = 1$$

Pour vérifier ces relations, on impose $b=0$ et $b=1$ dans la table de $z1$ et $z7$

| a | b | z1 | z7 |
|---|---|----|----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Théorèmes

Les théorèmes de complémentation satisfont le produit et la somme suivantes:

$$a.a' = 0$$

$$a + a' = 1$$

On vérifie ces relations en imposant $b=a'$ dans la table de z1 et z7

| a | b | z1 | z7 |
|---|---|----|----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Théorèmes

Les théorèmes de distributivité, qui mettent en œuvre les trois variables a, b et c, s'expriment de deux manières

On affirme que la fonction ET est distributive par rapport à la fonction OU:

$$a.(b + c) = a.b + a.c$$

De même, la fonction OU est distributive par rapport à la fonction ET:

$$a + b.c = (a + b).(a + c)$$

La vérification tabulaire de ces relations nécessite des tables de huit lignes

Théorèmes

La vérification tabulaire de la distributivité de la fonction ET par rapport à la fonction OU s'effectue en déterminant les valeurs des deux termes de la relation puis en les comparant

| a | b | c | b+c | a.(b+c) | a.b | a.c | a.b+a.c |
|---|---|---|-----|---------|-----|-----|---------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

Démonstration algébrique

La démonstration algébrique d'une relation peut s'effectuer formellement en faisant appel aux théorèmes précédents

Ainsi pour vérifier la relation:

$$a + a'.b = a + b$$

nous allons retrouver le second membre en appliquant les théorèmes au premier

distributivité: $a + a'.b = (a + a').(a + b)$

complémentation: $(a + a').(a + b) = 1.(a + b)$

commutativité: $1.(a + b) = (a + b).1$

constantes: $(a + b).1 = a + b$

Théorèmes

Les théorèmes d'associativité satisfont les formes produit et somme suivantes:

$$\begin{aligned} \mathbf{a.(b.c) = (a.b).c = a.b.c} \\ \mathbf{a + (b + c) = (a + b) + c = a + b + c} \end{aligned}$$

Les théorèmes du consensus mettent également en œuvre trois variables:

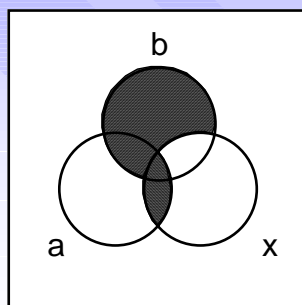
$$\begin{aligned} \mathbf{a.x + b.x' + a.b = a.x + b.x'} \\ \mathbf{(a + x).(b + x').(a + b) = (a + x).(b + x')} \end{aligned}$$

Théorèmes

Pour vérifier le théorème du consensus relatif au produit logique:

$$\mathbf{a.x + b.x' + a.b = a.x + b.x'}$$

on peut faire usage d'un diagramme de Venn où l'on voit bien que le terme $a.b$ est contenu dans les deux autres



Théorèmes

Les théorèmes de De Morgan satisfont les relations suivantes:

$$(a.b)' = a' + b'$$

$$(a + b)' = a'.b'$$

Elles expriment que l'inverse d'un produit (resp. de la somme) de deux variables est égal à la somme (resp. au produit) des inverses de ces variables

La vérification tabulaire de ces relations est donnée ci-dessous

| a | b | a' | b' | a.b | a'+b' | a+b | a'.b' |
|---|---|----|----|-----|-------|-----|-------|
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |

Transformations

Les théorèmes de De Morgan décrivent une transformation générale des expressions algébriques qui peut se résumer ainsi:

- A tout produit logique du premier membre correspond une somme logique dans le second membre, à toute somme logique du premier membre correspond un produit logique dans le second membre
- A toute grandeur logique du premier membre correspond la grandeur complémentaire dans le second membre

Les théorèmes de De Morgan peuvent s'appliquer à des produits logiques (resp. sommes logiques) comportant un nombre de variables quelconque:

$$(a.b.c. \dots .z)' = a' + b' + c' + \dots + z'$$

$$(a + b + c + \dots + z)' = a'.b'.c'. \dots .z'$$

Transformations

Les théorèmes de De Morgan permettent de transformer toute expression algébrique sous forme d'une somme de produits

Considérons par exemple:

$$z = (a + b + c'.d)'$$

Une judicieuse organisation des parenthèses permet d'appliquer correctement les théorèmes:

$$z = (a + b + (c'.d))'$$

$$z = a'.b'.(c'.d)'$$

$$z = a'.b'.(c + d')$$

$$z = a'.b'.c + a'.b'.d'$$

Transformations

Les expressions logiques peuvent toujours se mettre sous forme d'une somme de produits ou polynôme tel que

$$a'.b'.c + a'.b'.d'$$

Les termes constitutifs de ce polynôme sont les monômes

$$a'.b'.c, a'.b'.d'$$

Les variables sous forme vraie ou complémentaire de ces monômes sont les lettres

$$a', b', c, d'$$

Les méthodes de simplifications que nous verrons par la suite viseront à minimiser le nombre de lettres des expressions de manière à réduire le nombre de portes nécessaires pour les réaliser

Simplification algébrique

La simplification algébrique d'une expression consiste à la transformer de manière à réduire au maximum le nombre de ses lettres en lui appliquant les théorèmes vu précédemment

Soit l'expression algébrique:

$$z = a'b + ab' + ab$$

On peut la simplifier en faisant appel aux théorèmes suivants:

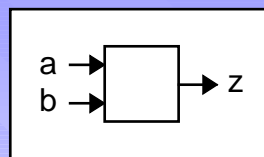
idempotence: $z = a'b + ab' + ab + ab$

distributivité: $z = a.(b' + b) + b.(a' + a)$

complémentation: $z = a.1 + b.1$

constante: $z = a + b$

Fonctions de deux variables



Les fonctions à deux variables d'entrée sont réalisées par des circuits numériques qui admettent quatre combinaisons d'entrée
La table de vérité ci-dessous représente six fonctions de deux variables d'entrée parmi les 16 possibles

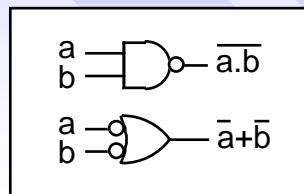
| a | b | .. z1 .. | z6 | z7 | z8 | z9 | .. z14 .. |
|---|---|----------|----|----|----|----|-----------|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |

Fonction NAND

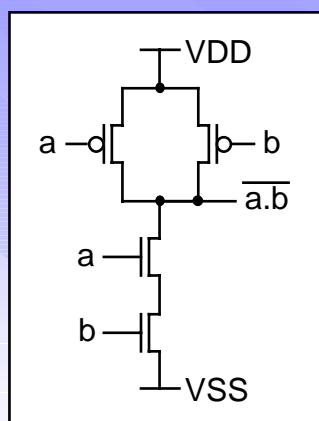
| a | b | z14 |
|---|---|-----|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

La fonction NAND (en français: NON-ET) est définie algébriquement par l'expression $z_{14} = (a.b)' = a' + b'$

La porte NAND admet ainsi deux symboles équivalents

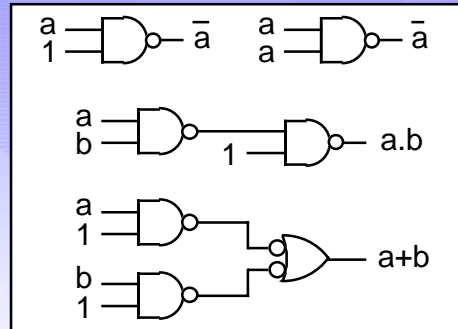


Fonction NAND



La porte NAND CMOS se compose de deux transistors NMOS et de deux transistors PMOS

Fonction NAND

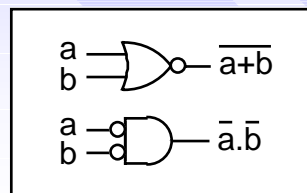


La porte NAND est un opérateur complet: elle permet de réaliser les trois fonctions logiques de base $z_1 = \bar{a}$, $z_2 = a \cdot b$ et $z_3 = a + b$

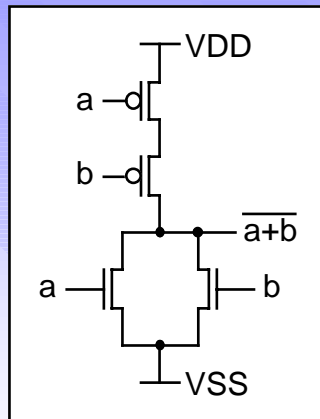
Fonction NOR

| a | b | z_8 |
|---|---|-------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

La fonction NOR (en français: NON-OU) est définie algébriquement par l'expression $z_8 = (a+b)' = \bar{a} \cdot \bar{b}$
 La porte NOR admet donc deux symboles équivalents



Fonction NOR



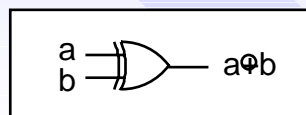
La porte NOR CMOS se compose également de deux transistors NMOS et de deux transistors PMOS

Fonction XOR

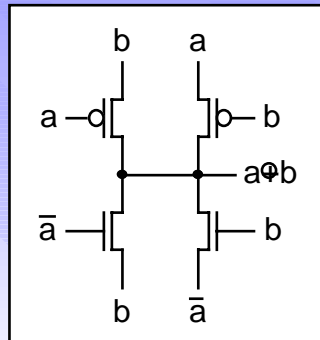
| a | b | $z6$ |
|---|---|------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

La fonction XOR (en français: OU-exclusif) est définie algébriquement par la relation $z6=a\oplus b$

Le symbole de la porte XOR s'apparente à celui de la porte OU



Fonction XOR



La porte XOR CMOS se compose également de deux transistors NMOS et de deux transistors PMOS

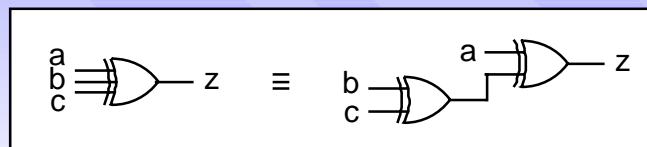
Les quatre transistors travaillent en transmission de variable

Fonction XOR

La fonction XOR est associative et satisfait la relation:

$$a \oplus (b \oplus c) = (a \oplus b) \oplus c = a \oplus b \oplus c$$

La réalisation d'une fonction XOR à 3 variables peut donc être effectuée à l'aide de deux portes XOR à 2 entrées

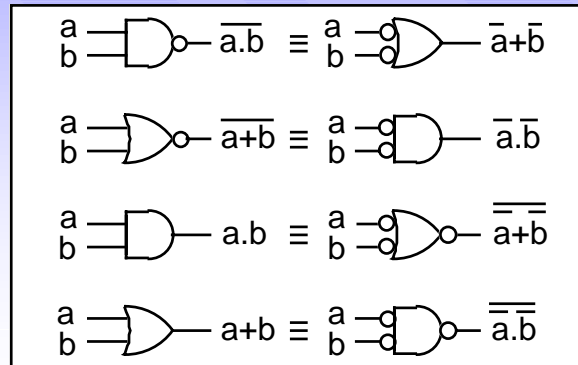


Les fonctions NAND et NOR ne sont pas associatives

La réalisation d'une fonction NAND (resp. NOR) à 3 variables ne peut pas se faire à l'aide de deux portes NAND (resp. NOR) à 2 entrées

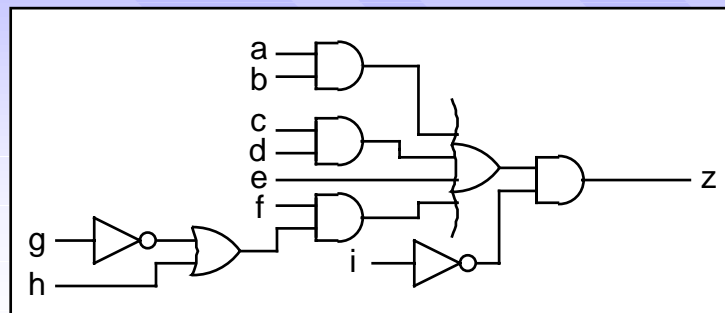
Transformations

Les théorèmes de De Morgan expriment des égalités algébriques
 Les fonctions correspondantes sont réalisées par l'ensemble des schémas logiques équivalents représenté ci-dessous



Transformations

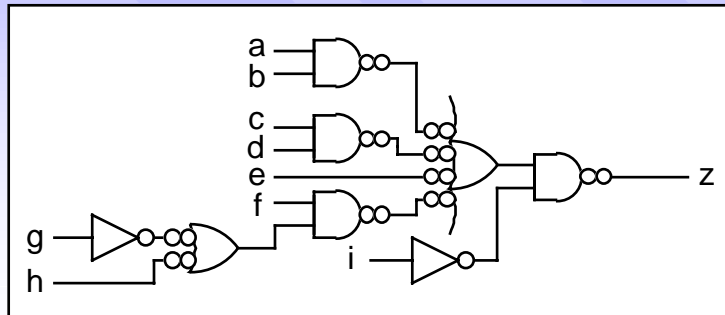
Les schémas logiques équivalents résultant des théorèmes de De Morgan permettent de transformer tout schéma ET-OU en un schéma de portes NAND réalisant la fonction $(a.b)' = a' + b'$



Transformations

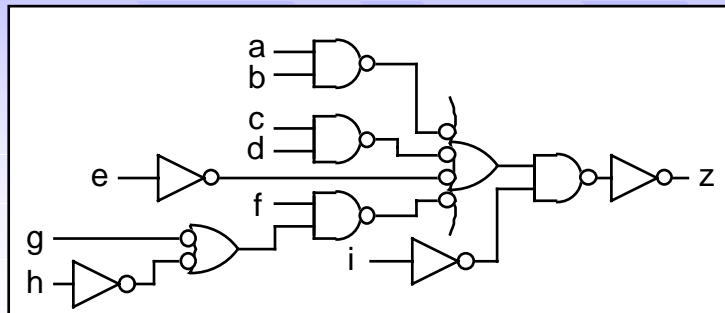
Le théorème de la double complémentation permet d'introduire sur n'importe quel fil deux inverseurs en série (a')'=a

La règle consiste à les placer sur chaque sortie d'une porte ET et sur chaque entrée d'une porte OU



Transformations

En supprimant des inverseurs par paire, l'un à la sortie des portes ET et l'autre à l'entrée des portes OU, on retrouve les deux schémas logiques équivalents de la porte NAND qui traduisent la relation $(a.b)'=a'+b'$



Fonctions unité

| a | b | z1 | z2 | z4 | z8 |
|---|---|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

On appelle fonction unité ou minterme de deux variables chacun des quatre monômes $z8=a'.b'$, $z4=a'.b$, $z2=a.b'$ et $z1=a.b$

Chaque minterme est un produit de toutes les variables prises sous forme vraie ou complémentaire

Toute fonction logique peut alors s'exprimer par la somme d'un ou de plusieurs mintermes

Fonctions unité

| a | b | z1 | z2 | z4 | z8 | z9 |
|---|---|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

Ainsi la fonction $z9$ peut s'écrire sous la forme:

$$z9 = z8 + z1 = a'.b' + a.b$$

Cette somme de mintermes est appelée forme canonique algébrique

Cette forme est unique pour une fonction logique donnée

Fonction logique universelle

| a | b | z1 | z2 | z4 | z8 | z |
|---|---|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 | k0 |
| 0 | 1 | 0 | 0 | 1 | 0 | k1 |
| 1 | 0 | 0 | 1 | 0 | 0 | k2 |
| 1 | 1 | 1 | 0 | 0 | 0 | k3 |

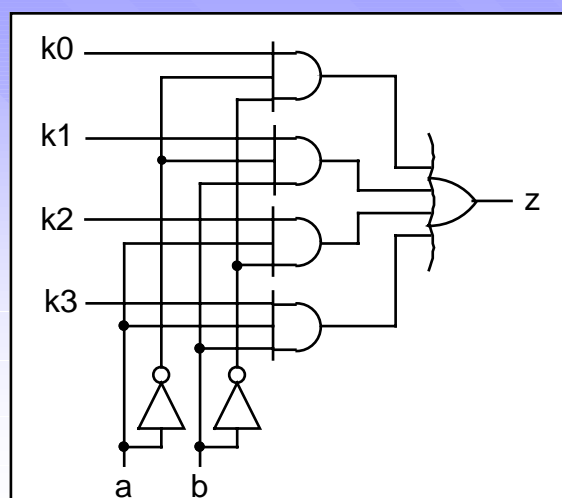
La fonction logique universelle de deux variables a et b est définie par l'expression algébrique:

$$z(a,b;k_0,k_1,k_2,k_3) = k_0.a'b' + k_1.a'b + k_2.ab' + k_3.ab$$

Dans cette expression, les variables auxiliaires k_0 , k_1 , k_2 et k_3 sont appelées paramètres

En leur affectant la valeur 0 ou 1, il est possible de retrouver la forme canonique de n'importe quelle fonction de deux variables

On appelle système logique universel ou multiplexeur à n variables tout système réalisant la fonction logique universelle à n variables



Multiplexeur à deux variables

Le symbole du multiplexeur à deux variables suggère que la sortie z sélectionne l'une des quatre entrées k_0 , k_1 , k_2 ou k_3 selon l'état a, b

Pour retrouver la fonction z , il suffit d'imposer $k_0=1$, $k_1=0$, $k_2=0$ et $k_3=1$

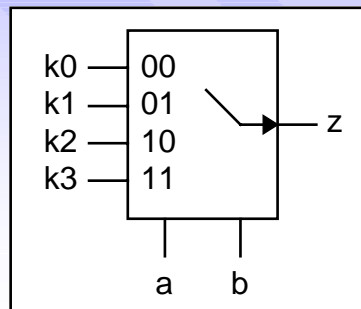


Table de vérité

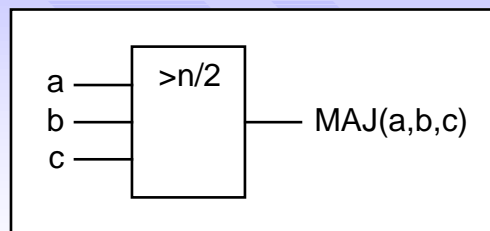
La fonction MAJORITÉ de trois variables $MAJ(a,b,c)$ prend la valeur 1 lorsque deux variables au moins valent 1

Elle est définie par sa table de vérité

| a | b | c | MAJ(a,b,c) |
|---|---|---|------------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Symbole

La porte MAJORITÉ existe sous forme d'un symbole selon les normes de la Commission électrotechnique internationale Elle n'a pas de symbole selon les normes américaines MIL – STD – 806 B auxquelles se réfèrent nos schémas logiques



Forme canonique algébrique

La forme canonique algébrique de la fonction MAJ(a,b,c) découle de la table de vérité:

$$\text{MAJ}(a,b,c) = a'bc + ab'c + abc' + abc$$

| a | b | c | MAJ(a,b,c) | a'bc | ab'c | abc' | abc |
|---|---|---|------------|------|------|------|-----|
| 0 | 0 | 0 | 0 | | | | |
| 0 | 0 | 1 | 0 | | | | |
| 0 | 1 | 0 | 0 | | | | |
| 0 | 1 | 1 | 1 | 1 | | | |
| 1 | 0 | 0 | 0 | | 1 | | |
| 1 | 0 | 1 | 1 | | | 1 | |
| 1 | 1 | 0 | 1 | | | | 1 |
| 1 | 1 | 1 | 1 | | | | 1 |

Forme canonique décimale

La forme canonique décimale de la fonction MAJ(a,b,c) découle de la table de vérité:

$$\text{MAJ}(a,b,c) = \Sigma 3,5,6,7$$

| No | a | b | c | MAJ(a,b,c) |
|----|---|---|---|------------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 |

Diagramme de Venn

Dans le diagramme de Venn, la représentation de la fonction MAJ(a,b,c) consiste à hachurer les régions qui appartiennent à deux cercles au moins

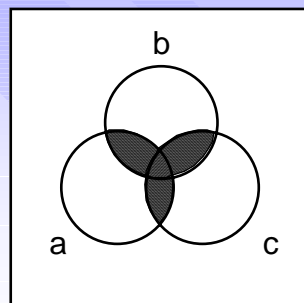


Table de Karnaugh

La table de Karnaugh est un mode de représentation qui remplace les cercles du diagramme de Venn par des carrés ou des rectangles pour définir les régions relatives aux huit combinaisons des trois variables a, b et c

| | | | | |
|---|-----|-----|-----|-----|
| | | b | | a |
| | 000 | 010 | 110 | 100 |
| c | 001 | 011 | 111 | 101 |

Table de Karnaugh

La représentation de la fonction MAJ(a,b,c) dans la table de Karnaugh consiste à placer les 1 de la fonction dans les régions relatives aux combinaisons correspondantes

| | | | | |
|---|--|---|---|---|
| | | b | | a |
| | | | 1 | |
| c | | 1 | 1 | 1 |

Schéma logique NON-ET-OU

Le schéma NON-ET-OU de la fonction MAJ(a,b,c) découle de sa forme canonique algébrique:

$$\text{MAJ}(a,b,c) = a'bc + ab'c + abc' + abc$$

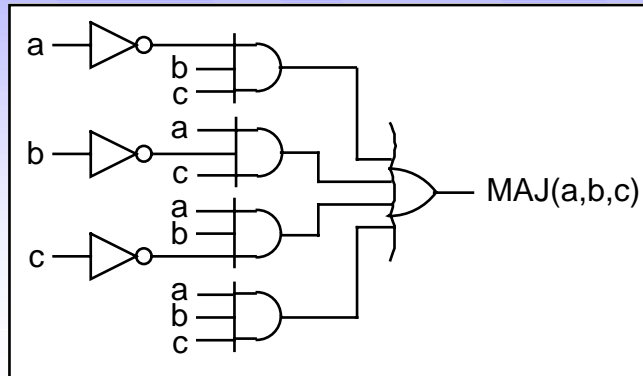


Schéma logique NAND

Le schéma NAND de la fonction MAJ(a,b,c) s'obtient par transformation graphique du schéma NON-ET-OU

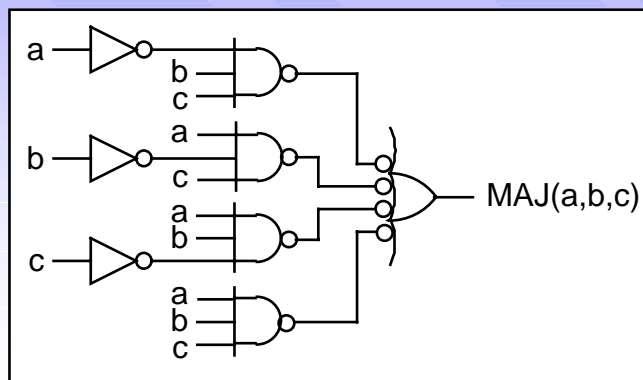


Schéma multiplexeur

Le schéma multiplexeur de la fonction MAJ(a,b,c) découle de sa forme canonique décimale:

$$\text{MAJ}(a,b,c) = \Sigma 3,5,6,7$$

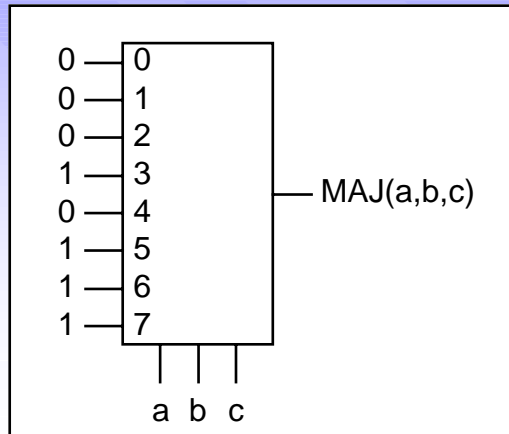
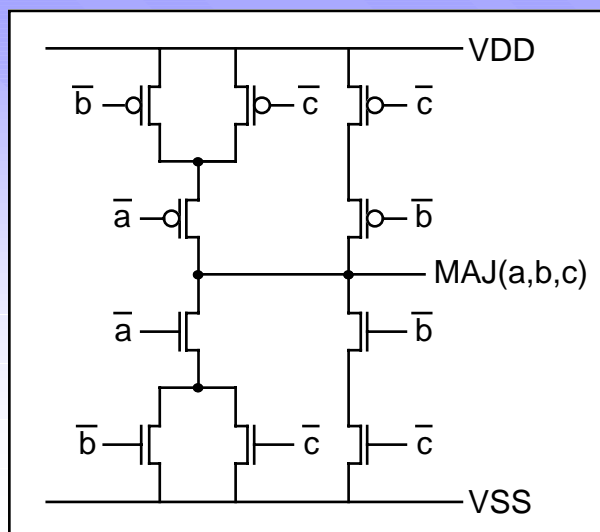


Schéma à transistors

Le schéma CMOS de la fonction MAJ(a,b,c) comporte six transistors



Technologie CMOS

Les circuits CMOS se composent de deux types de transistors MOS (Metal Oxide Semiconductor) formés d'une grille G, d'une source S et d'un drain D

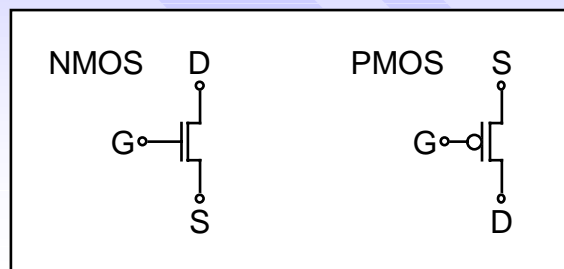
Le fonctionnement des transistors dépend de la tension grille-source V_{GS} et de la tension de seuil V_T

Le transistor NMOS conduit lorsque $V_{GS} > V_T$ avec $V_T = 0.5-1$ [V]

Le transistor NMOS est bloqué lorsque $V_{GS} < V_T$

Le transistor PMOS conduit lorsque $V_{GS} < V_T$ avec $V_T = -1$ [V]

Le transistor PMOS est bloqué lorsque $V_{GS} > V_T$

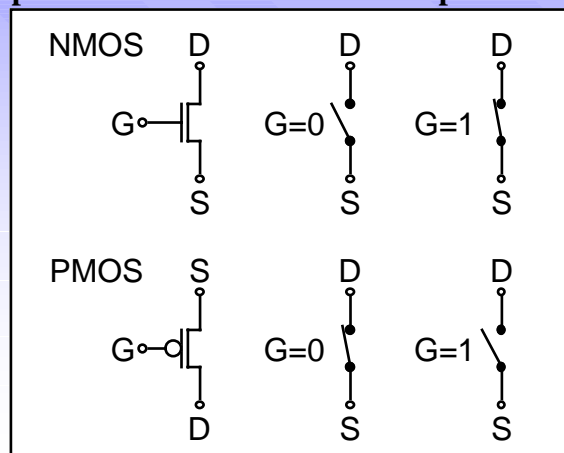


Technologie CMOS

Les transistors CMOS fonctionnent en interrupteur lorsque la tension appliquée à leur grille est voisine de la masse VSS ou de la tension d'alimentation VDD

Une tension proche de la masse correspond à l'état logique 0

Une tension proche de l'alimentation correspond à l'état logique 1



Caractéristiques électriques

Les spécifications électriques d'un circuit CMOS définissent des tensions minimales (min) et maximales (max) aux entrées (I) et aux sorties (O) pour les états logiques 1 (H) et 0 (L)

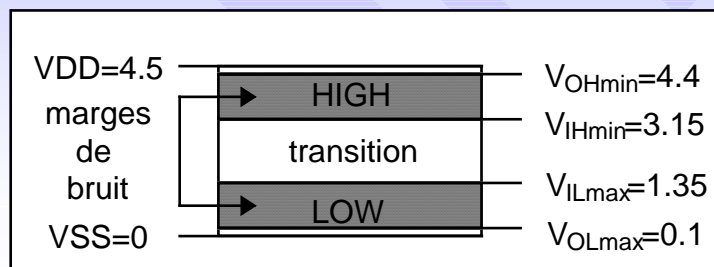
$$V_{OHmin} = VDD - 0.1 [V]$$

$$V_{IHmin} = 0.7 VDD [V]$$

$$V_{ILmax} = 0.3 VDD [V]$$

$$V_{OLmax} = VSS + 0.1 [V]$$

Pour $VDD = 5.0 - 10\% = 4.5 [V]$ et $VSS = 0 [V]$, on obtient:



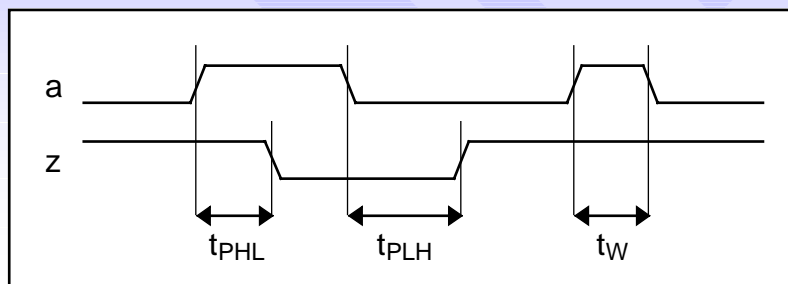
Caractéristiques temporelles

Pour un inverseur $z=a'$, les caractéristiques temporelles sont:

t_{PLH} : temps de propagation lors de la transition de 0 à 1 de la sortie z (correspond au délai pur d'une porte idéale)

t_{PHL} : temps de propagation lors de la transition de 1 à 0 de la sortie z (correspond au délai pur d'une porte idéale)

t_w : largeur de l'impulsion (en anglais: pulse width) de l'entrée a
Toute impulsion dont la largeur est inférieure à une valeur limite (délai inertiel d'une porte idéale) est supprimée à la sortie z



Symboles ANSI/IEEE

L'ANSI (American National Standards Institute) et l'IEEE (Institute of Electrical and Electronics Engineers) ont développé conjointement un ensemble de symboles logiques (ANSI/IEEE Std 91-1984, IEEE Standard Graphic Symbols for Logic Functions) compatible avec le standard 617 de la CEI (Commission Electrotechnique Internationale)

Pour les portes logiques, ils présentent des formes distinctives ou des formes rectangulaires

