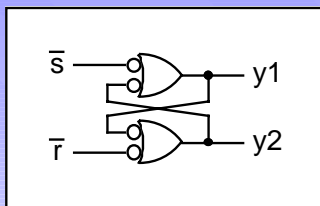


Bascules bistables

- Élément de mémoire $s'r'$
- Élément de mémoire D
- Bascule bistable D
- Bascule bistable JK

andre.stauffer@epfl.ch

Élément de mémoire $s'r'$

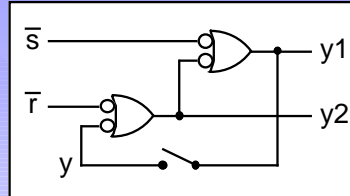


L'assemblage de portes NAND représenté ci-dessus constitue un élément de mémoire $s'r'$ (en anglais: $s'r'$ latch)

Cet élément n'est plus un circuit combinatoire car il comporte une boucle de rétro-action

Pour l'étudier, on va commencer par ouvrir cette boucle et se ramener ainsi à un système combinatoire à trois variables

Elément de mémoire s'r'



Les deux fonctions y1 et y2 des trois variables s, r et y s'écrivent:

$$y1 = s + y2'$$

$$y2 = r + y'$$

En remplaçant y2 dans l'expression de y1 on obtient:

$$y1 = s + (r + y')' = s + r'.y$$

Elément de mémoire s'r'

La table de vérité ci-dessous découle des expressions de y1 et y2:

$$y1 = s + r'.y$$

$$y2 = r + y'$$

No	s	r	y	r'y	y1	y'	y2
0	0	0	0	0	0	1	1
1	0	0	1	1	1	0	0
2	0	1	0	0	0	1	1
3	0	1	1	0	0	0	1
4	1	0	0	0	1	1	1
5	1	0	1	1	1	0	0
6	1	1	0	0	1	1	1
7	1	1	1	0	1	0	1

Elément de mémoire s'r'

Si on referme la boucle, seules les lignes qui vérifient la relation $y=y1$ subsistent:

No	s	r	y	y1	y2
0	0	0	0	0	1
1	0	0	1	1	0
2	0	1	0	0	1
5	1	0	1	1	0
7	1	1	1	1	1

Elément de mémoire s'r'

En éliminant la variable interne y , la table de vérité de l'élément de mémoire s'r' devient:

No	s	r	y1	y2
0	0	0	0	1
			1	0
1	0	1	0	1
2	1	0	1	0
3	1	1	1	1

Le caractère séquentiel de l'élément apparaît dans la ligne 0
Pour l'état d'entrée $s,r=00$, on a deux états de sortie possibles $y1,y2=01$ ou 10 qui dépendent des états d'entrée précédents

Elément de mémoire s'r'

Le fonctionnement de l'élément peut se décrire ainsi:

- si s,r passe de 01 à 00, y1,y2 conserve l'état 01 par inertie
- si s,r passe de 10 à 00, y1,y2 conserve l'état 10 par inertie
- si s,r passe de 11 à 00, l'état final de y1,y2 est imprévisible

Pour éviter cette incertitude, il suffit d'interdire l'état s,r=11 en respectant la condition:

$$s.r = 0$$

Le respect de cette condition assure que les variables de sortie y1 et y2 sont toujours complémentaires:

$$y2 = y1'$$

Elément de mémoire s'r'

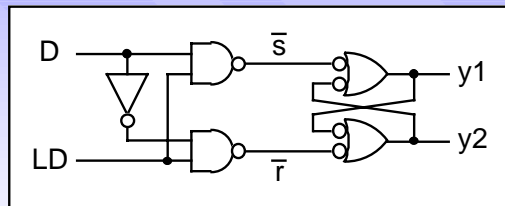
Les opérations effectuées par l'élément peuvent être résumées dans une table appelée table des opérations

La notation := utilisée pour l'affectation des variables indique le caractère asynchrone des opérations CLEAR et PRESET qui s'effectuent dès que r=1 et s=1 respectivement

opération	description	s	r
HOLD	y1 := y1	0	0
CLEAR	y1 := 0	0	1
PRESET	y1 := 1	1	0
UNUSED	y1,y2 := 11	1	1

Elément de mémoire D

L'élément de mémoire D (en anglais: D latch) se compose d'un élément de mémoire s'r' et d'un système combinatoire qui assure que la condition $s.r=0$ est toujours vérifiée



Si on exprime s et r en fonction de D et LD, on trouve:

$$s = D.LD$$

$$r = D'.LD$$

Elément de mémoire D

Les relations $s=D.LD$ et $r=D'.LD$ nous permettent de dresser la table de vérité du système combinatoire

Les deux premières lignes correspondent ainsi à l'opération HOLD

Les deux dernières à CLEAR et PRESET respectivement

La condition $s.r=0$ étant vérifiée, on a toujours $y2=y1'$ et on adopte la notation:

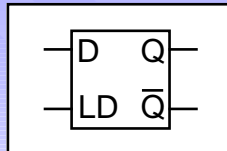
$$y1 = Q$$

$$y2 = Q'$$

LD	D	s	r
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	0

Elément de mémoire D

Le symbole et la table des opérations de l'élément de mémoire D sont représenté ci-dessous



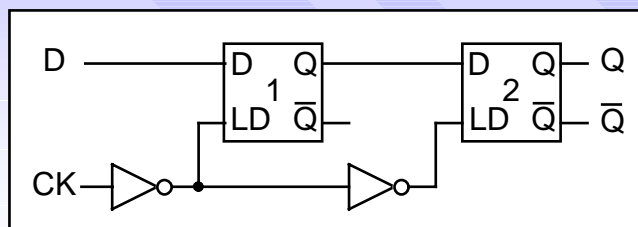
opération	description	LD
HOLD	$Q := Q$	0
LOAD	$Q := D$	1

Bascule bistable D

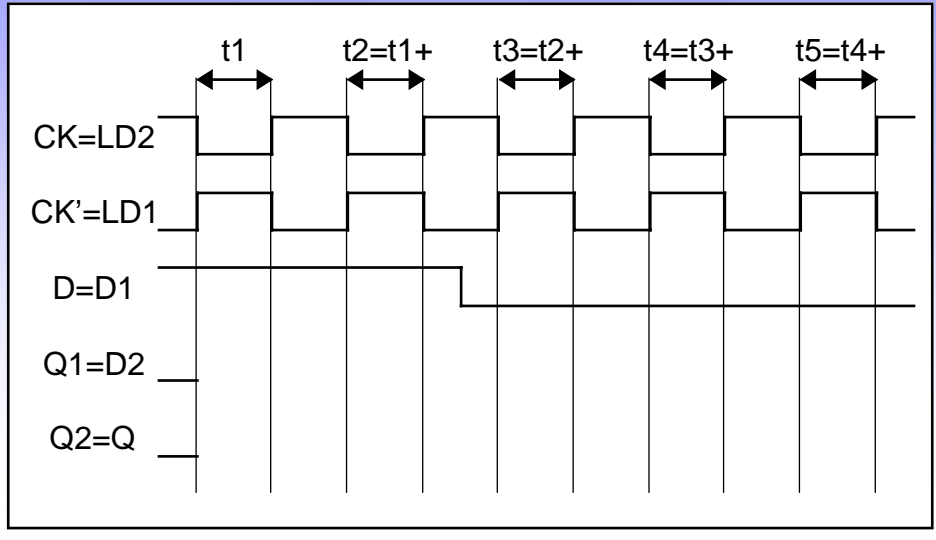
La bascule bistable D (en anglais: D flip-flop) se compose de deux éléments de mémoire D et de deux inverseurs

Dans ce schéma logique la variable CK est un signal de référence appelé signal d'horloge (en anglais: clock signal)

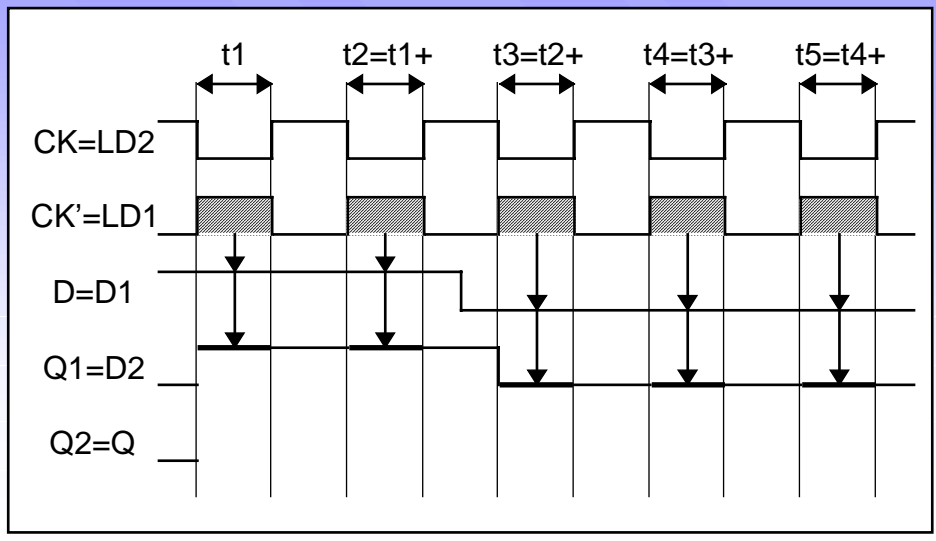
La variable D est la variable d'excitation ou d'information



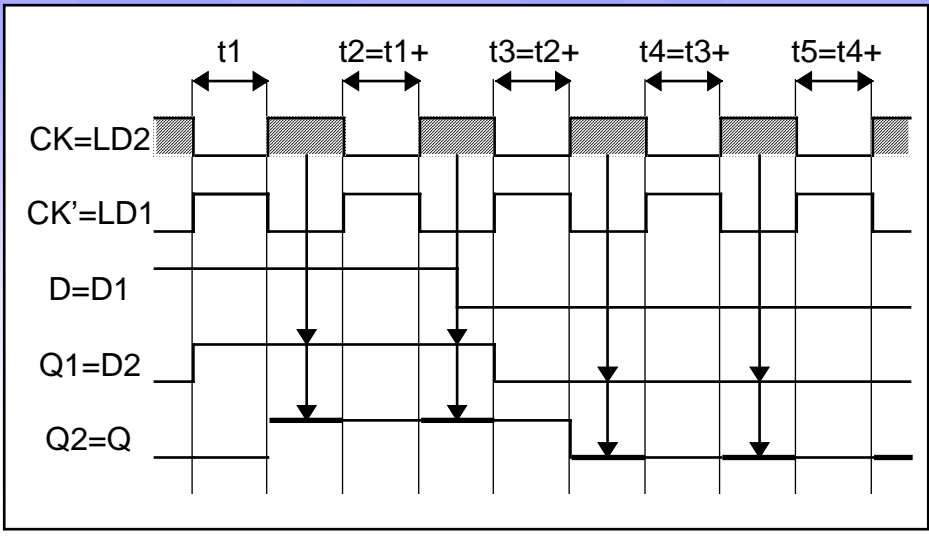
Pour illustrer le fonctionnement de la bascule D on va établir un chronogramme décrivant les variations des signaux au cours du temps et dans lequel le signal d'horloge CK est périodique



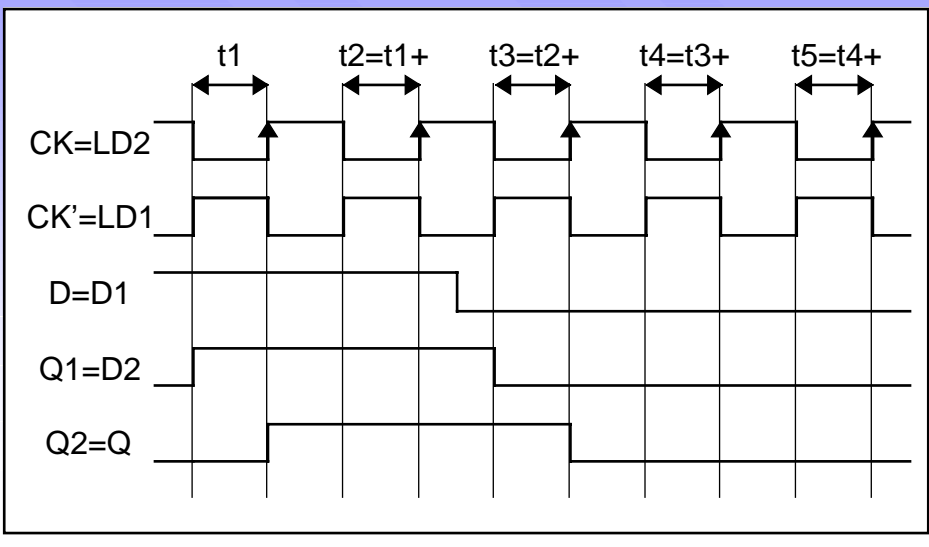
**Lorsque CK=0, l'élément de mémoire 1 effectue l'opération LOAD et recopie les valeurs de D à sa sortie Q1
Lorsque CK=1, l'opération HOLD conserve la valeur chargée**



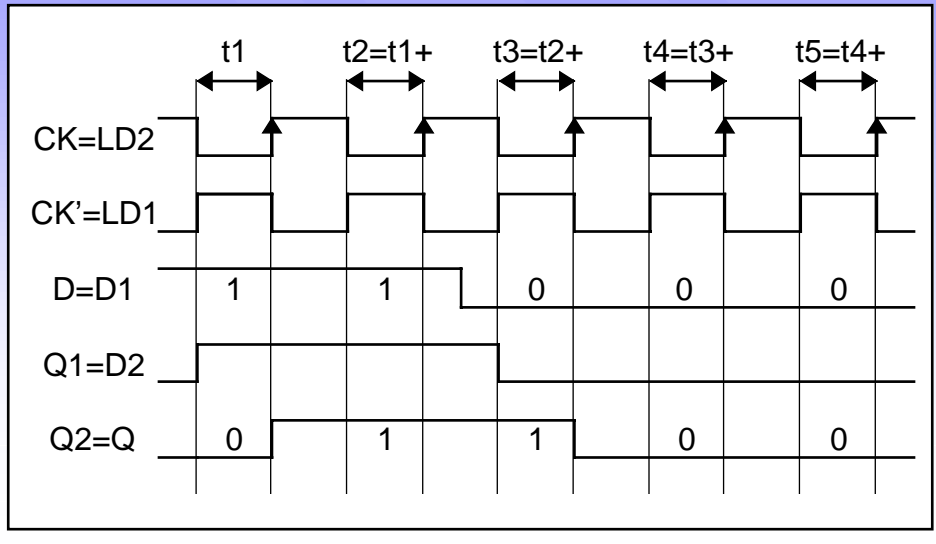
Lorsque CK=1, l'élément de mémoire 2 effectue l'opération LOAD et recopie les valeurs de Q1 à sa sortie Q2
 Lorsque CK=0, l'opération HOLD conserve la valeur chargée



On observe finalement que les variations de la sortie Q de la bascule se produisent au flanc montant du signal d'horloge
 Les opérations de la bascule présentent un caractère synchrone



En relevant les valeurs respectives de D et de Q aux instants présents t_i et les valeurs Q_+ de Q aux instants futurs t_{i+} , on peut établir la table d'états de la bascule D



Bascule bistable D

La table d'états de la bascule D définit l'état futur Q_+ en fonction de son état présent Q et de son état d'entrée D

Il en résulte l'équation caractéristique de la bascule D:

$$Q_+ = D$$

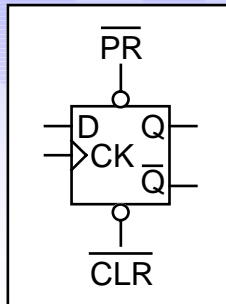
A chaque montée du signal d'horloge CK, la bascule D recopie la valeur de son entrée D à sa sortie Q

No	D	Q	Q_+
0	0	0	0
1	0	1	0
2	1	0	1
3	1	1	1

Bascule bistable D

Le symbole de la bascule D comporte deux entrées asynchrones d'initialisation PR' et CLR' supplémentaires (en anglais: Preset et Clear)

PR'=0 (resp. CLR'=0) permet d'initialiser la bascule à 1 (resp. à 0) indépendamment du signal d'horloge CK



Bascule bistable D

Les opérations effectuées par la bascule sont résumées dans la table des opérations

La notation \leq utilisée pour l'opération de chargement LOAD indique le caractère synchrone de cette opération

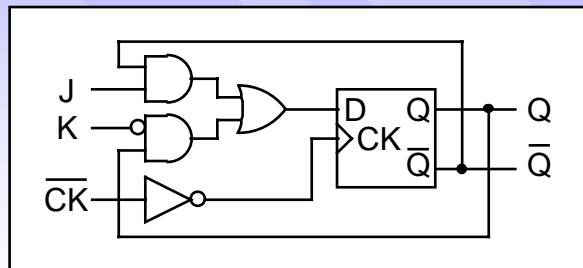
opération	description	PR	CLR
LOAD	$Q \leq D$	0	0
CLEAR	$Q := 0$	0	1
PRESET	$Q := 1$	1	0
UNUSED	$Q := 1, Q' := 1$	1	1

Bascule bistable JK

La bascule bistable JK (en anglais: JK flip-flop) se compose de d'une bascule bistable D et d'un système combinatoire

Le système combinatoire réalise la fonction logique:

$$D = J.Q' + K'.Q$$



Bascule bistable JK

L'équation caractéristique de la bascule JK découle de la fonction logique réalisée par le système combinatoire $D=J.Q'+K'.Q$ et de l'équation caractéristique de la bascule D, $Q+=D$:

$$Q+ = J.Q' + K'.Q$$

Elle permet de dresser la table d'états de la bascule

Q+		J			
		0	0	1	1
Q	1	0	0	1	
	K				

Bascule bistable JK

La table des transitions de la bascule JK exprime les valeurs qu'il faut conférer aux entrées d'excitation J et K pour assurer le maintien à 0, l'enclenchement, le déclenchement et le maintien à 1 de la sortie Q

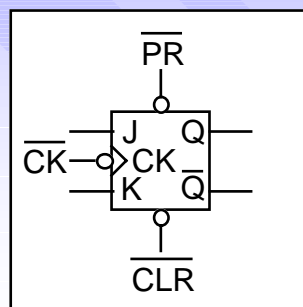
Elle découle de la table d'états de la bascule

Q	Q+	J	K
0	0	0	Φ
0	1	1	Φ
1	0	Φ	1
1	1	Φ	0

Bascule bistable JK

Le symbole de la bascule JK est donné ci-dessous
On y retrouve les entrées asynchrones d'initialisation PR' et CLR'

Le signal d'horloge externe est disponible sous forme complémentaire CK'



Bascule bistable JK

La table des opérations de la bascule JK comporte 4 opérations synchrones dépendant des valeurs de J et K lorsque PR=0 et CLR=0

opération	description	PR	CLR	J	K
HOLD	$Q \leq Q$	0	0	0	0
S-CLEAR	$Q \leq 0$	0	0	0	1
S-PRESET	$Q \leq 1$	0	0	1	0
COMPLEMENT	$Q \leq Q'$	0	0	1	1
A-CLEAR	$Q := 0$	0	1	Φ	Φ
A-PRESET	$Q := 1$	1	0	Φ	Φ
UNUSED	$Q := 1, Q' := 1$	1	1	Φ	Φ

Bascule bistable T

La bascule bistable T (en anglais: Trigger flip-flop) découle d'une utilisation particulière de la bascule JK définie par la relation:

$$J = K = T$$

Cela supprime les ligne 2 et 3 de la table des opérations

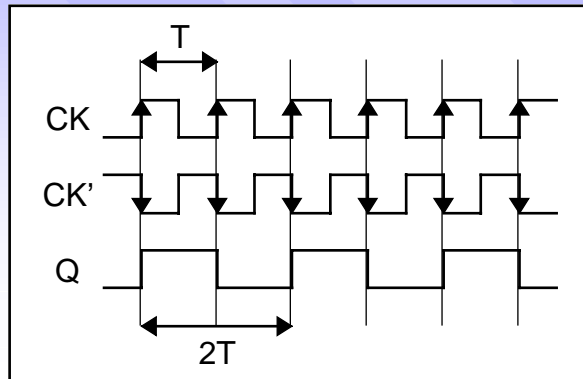
opération	description	PR	CLR	T
HOLD	$Q \leq Q$	0	0	0
COMPLEMENT	$Q \leq Q'$	0	0	1
A-CLEAR	$Q := 0$	0	1	Φ
A-PRESET	$Q := 1$	1	0	Φ
UNUSED	$Q := 1, Q' := 1$	1	1	Φ

Diviseur de fréquence

La bascule JK fonctionne en diviseur de fréquence par deux si on vérifie la relation:

$$J = K = 1$$

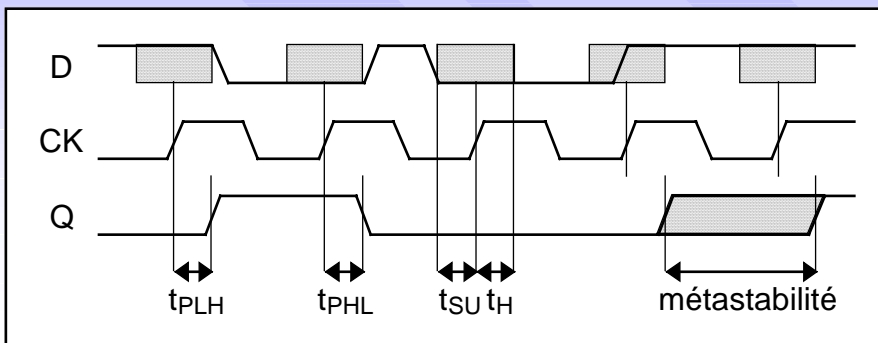
Seule l'opération synchrone $Q \leftarrow Q'$ est ainsi réalisée et on obtient le chronogramme ci-dessous



Caractéristiques temporelles

Pour la bascule bistable D, les caractéristiques temporelles sont:
 t_{PLH} : temps de propagation lors de l'enclenchement de la sortie Q
 t_{PHL} : temps de propagation lors du déclenchement de la sortie Q
 t_{SU} : temps de préaffichage (en anglais: setup time) de l'entrée D
 t_H : temps de maintien (en anglais: hold time) de l'entrée D

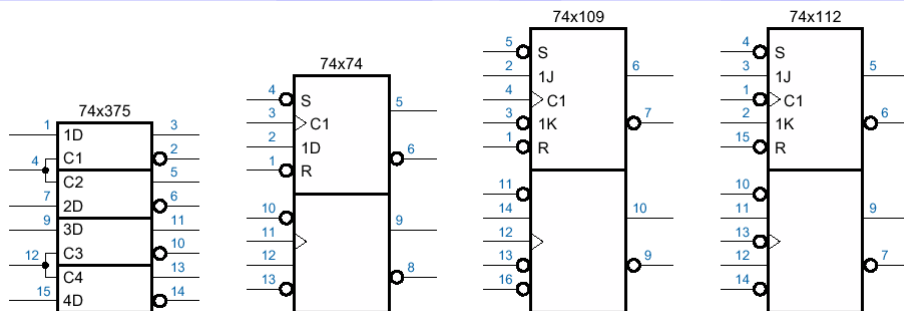
Lorsque les temps de préaffichage ou de maintien ne sont pas respectés, la bascule peut osciller ou prendre un état métastable



Symboles ANSI/IEEE

Dans les symboles des circuits intégrés SSI (en anglais: Small Scale Integration) renfermant des éléments de mémoire et des bascules, on remarque les notations suivantes:

- Les signaux précédés du nombre entier i (tel que iD) dépendent du signal de chargement ou d'horloge Ci
- Les signaux S (en anglais: Set) et R (en anglais: Reset) représentent respectivement les entrées d'initialisation asynchrone à 1 et à 0

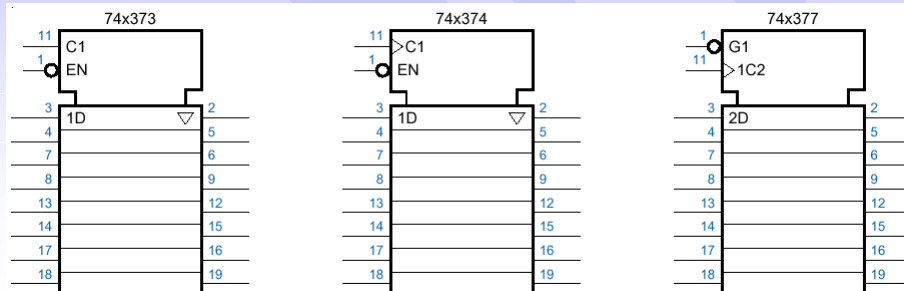


Symboles ANSI/IEEE

Dans les symboles des circuits intégrés MSI (en anglais: Middle Scale Integration) renfermant des éléments de mémoire et des registres, on retrouve les notations précédentes

L'entrée G1 contrôle le chargement des données 2D opérées au flanc montant du signal d'horloge 1C2

Le triangle inversé indique des sorties à haute impédance contrôlées par le signal EN (en anglais: Enable)

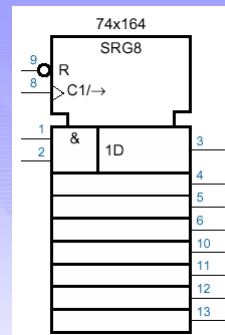


Symboles ANSI/IEEE

Le registre à décalage 8 bits est décrit par une table des opérations dans laquelle:

- CLR correspond à R
- A et B aux entrées de la porte ET
- Q1:8=QA,QB,QC,QD,QE,QF,QG,QH aux sorties parallèles

La flèche indique vers la droite indique un décalage d'une position vers la droite ou vers le bas



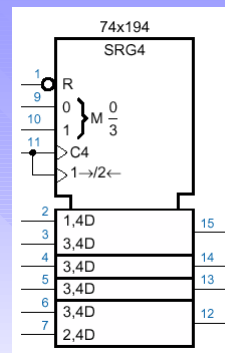
opération	description	CLR
CLEAR	Q1:8 := 00000000	1
SHIFT	Q1:8 <= A.B,Q1:7	0

Symboles ANSI/IEEE

Le registre à décalage bidirectionnel 4 bits fait appel aux notations suivantes:

- CLR correspond à R
- S1 et S0 aux variables de mode M1 et M0
- R et L aux entrées série
- D1:4=A,B,C,D aux entrées parallèles
- Q1:4=QA,QB,QC,QD aux sorties parallèles

La flèche vers la droite (resp. vers la gauche) indique un décalage d'une position vers la droite ou vers le bas (resp. vers la gauche ou vers le haut)



opération	description	CLR	S1	S0
CLEAR	Q1:4 := 0000	1	-	-
HOLD	Q1:4 <= Q1:4	0	0	0
SHIFT RIGHT	Q1:4 <= R,Q1:3	0	0	1
SHIFT LEFT	Q1:4 <= Q2:4,L	0	1	0
LOAD	Q1:4 <= D1:4	0	1	1