

Méthodes et styles de conception

- Circuits logiques programmables
- Circuits semi-personnalisés
- Circuits sur mesure

andre.stauffer@epfl.ch

Introduction

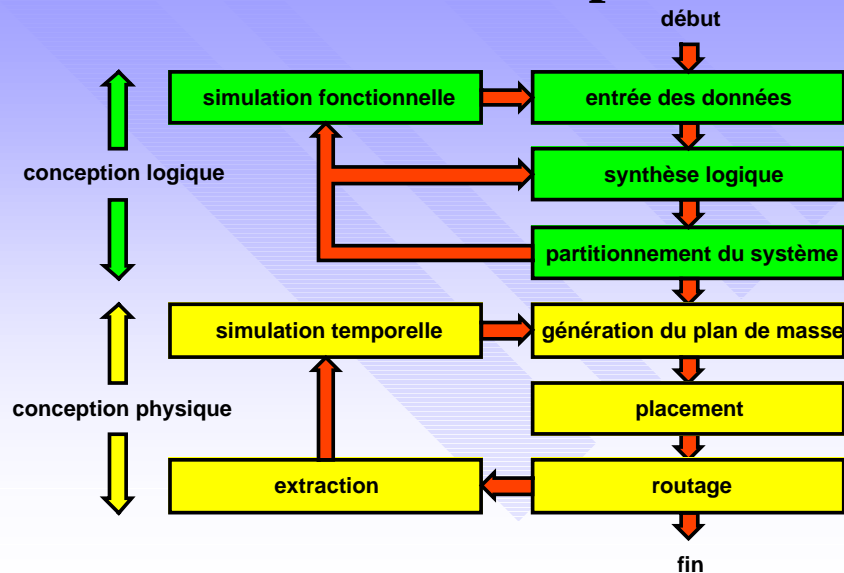
La méthode de conception est la façon de réaliser la fonctionnalité d'un circuit à l'aide d'instances placées et routées.

Elle définit le coût de développement du circuit qui dépend du nombre d'étapes informatiques nécessaires à sa traduction.

Le style de conception est la façon d'implanter la fonctionnalité d'un circuit dans le silicium.

Il définit le coût de fabrication du circuit car il détermine le nombre d'étapes technologiques nécessaires à son intégration.

Méthode de conception



Entrée des données

Buts:

- dessiner le schéma logique du circuit (entrée schématique)
- éditer un fichier donnant la description comportementale du circuit (entrée textuelle)

Contraintes:

- choisir une bibliothèque de cellules logiques
- utiliser un langage de description de matériel tel que VHDL ou Verilog
- effectuer une description RTL c'est-à-dire une description de niveau transfert de registre

Synthèse logique

Buts:

- compiler la description RTL du circuit
- transformer la description comportementale en une description structurelle
- produire un fichier d'interconnexion qui regroupe des instances de cellules logiques et précise leurs connexions

Contraintes:

- choisir une bibliothèque de cellules logiques
- minimiser le nombre de cellules logiques du circuit

Partitionnement du système

Buts:

- diviser le système en un ensemble de sous-systèmes
- assurer la compatibilité de la complexité des sous-systèmes avec celle des circuits ASIC prévus pour leur implantation

Contraintes:

- minimiser le nombre de connexions externes entre les sous-systèmes
- définir des sous-systèmes dont la taille est inférieure à celle des circuits choisis

Simulation fonctionnelle

Niveau système:

la simulation considère les modules comme des boîtes noires; elle sert à tester la conception algorithmique du système; elle repose sur une description HDL comportementale ou sur un programme de description en C

Niveau logique:

la simulation porte sur les opérations numériques réalisées par le circuit; elle permet de vérifier la conception logique de ce dernier; elle s'effectue sur la base d'une description structurale ou d'un fichier d'interconnexion

Génération du plan de masse

Buts:

- positionner les blocs sur la puce
- définir des zones servant de canaux de routage
- déterminer les positions des entrées-sorties
- déterminer le nombre et la position des alimentations
- décider de la position et de la distribution de l'horloge

Contraintes:

- minimiser la surface de la puce
- minimiser les délais

Éléments:

- limitation due aux plages de contact (pad limited)
- limitation due au cœur du circuit (core limited)

Placement

Buts:

- positionner les modules au sein des blocs
- garantir la possibilité de les router ultérieurement
- minimiser les délais critiques entre modules
- maximiser la densité de la puce

Contraintes:

- minimiser la longueur estimée des interconnexions
- assurer les exigences temporelles pour les liaisons critiques
- minimiser la congestion des interconnexions

Routage

Buts:

- assigner les interconnexions aux canaux de routage sans effectuer les connexions physiques (global routing)
- réaliser toutes les interconnexions (detailed routing)

Contraintes:

- minimiser la hauteur des canaux
- minimiser le nombre de changement de niveaux de conduction (vias)
- minimiser la longueur totale des interconnexions

Extraction

Buts:

- établir les caractéristiques temporelles du circuit après les opérations de placement et de routage
- générer un fichier de rétro-annotations destiné à la description structurelle résultant de la synthèse logique

Contraintes:

- déterminer les valeurs des capacités et des résistances attachées aux lignes d'interconnexion

Simulation temporelle

Niveau porte:

la simulation considère les portes logiques comme des boîtes noires caractérisées par leurs délais; on obtient la performance temporelle approximative du circuit ASIC

Niveau interrupteur:

la simulation considère les transistors individuels comme des interrupteurs pourvus d'un délai; la prédiction temporelle est plus précise

Niveau transistor:

la simulation utilise le modèle Spice des transistors; au prix d'un temps de calcul très élevé, elle donne les résultats les plus précis

Outils CAO

Conception logique:

- Editeur-compileur VHDL (HDL Designer)
- Simulateur numérique (Modelsim)
- Compileur-synthétiseur-extracteur VHDL (Leonardo)

Conception analogique:

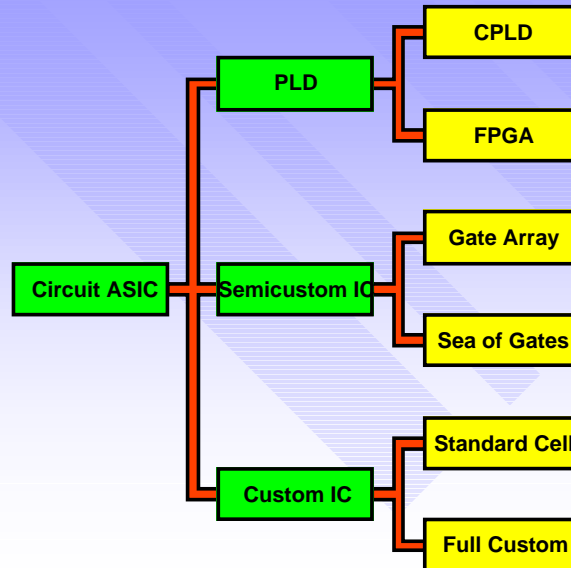
- Editeur de schémas (ECS)
- Simulateur analogique Spice (SMASH)

Conception physique:

- Editeur de layout (L-EDIT)
- Vérificateur des règles de dessin DRC (Design Rule Checker)
- Extracteur de fichier d'interconnexion (Netlist Extractor)
- Comparateur de fichiers d'interconnexion LVS (Layout Versus Schematic)

Phase	Activité	Responsabilité
Conception	Revue de projet avant conception	Vendeur/Client
	Choix des cellules	Client
	Capture schématique	Client
	Simulation fonctionnelle	Client
	Simulation temporelle	Vendeur/Client
Layout et vérification	Revue de projet avant layout	Vendeur/Client
	Génération de vecteurs de test	Vendeur/Client
	Auto-layout	Vendeur
	Simulation après layout	Vendeur/Client
Fabrication du prototype	Approbation après layout	Vendeur/Client
	Génération des masques	Vendeur
	Fabrication des wafers	Vendeur
	Assemblage/Test	Vendeur
	Approbation du prototype	Client

Style de conception

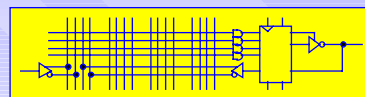
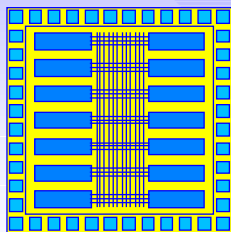


Circuits logiques programmables

CPLD (Complex Programmable Logic Device):

PLD hiérarchique regroupant un ensemble de circuits GAL

(Generic Array Logic) et un réseau d'interconnexion programmable

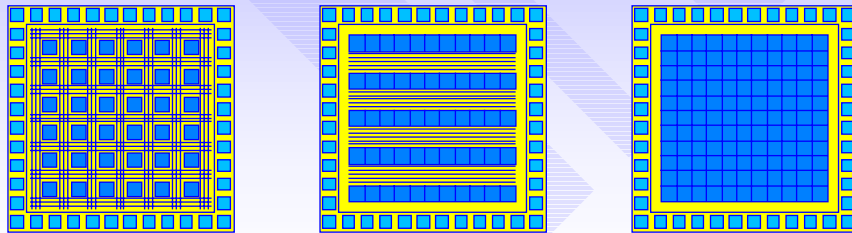


**Implémentation ET-OU-bascule D
d'une cellule de base d'un circuit GAL**

Circuits logiques programmables

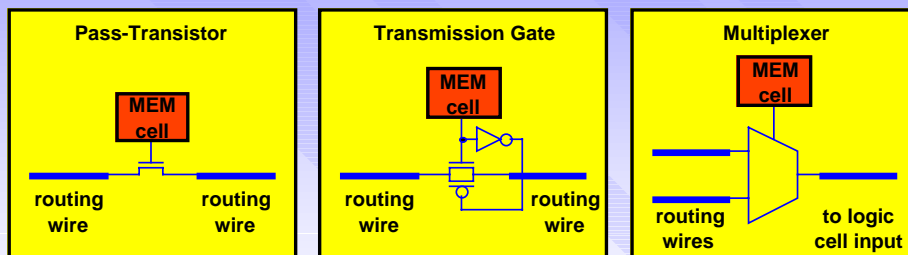
FPGA (Field-Programmable Gate Array):

réseau de blocs logiques, de cellules d'entrée-sortie et de ressources d'interconnexion; ce réseau est caractérisé par son architecture, sa technologie de programmation et les éléments de base des blocs logiques

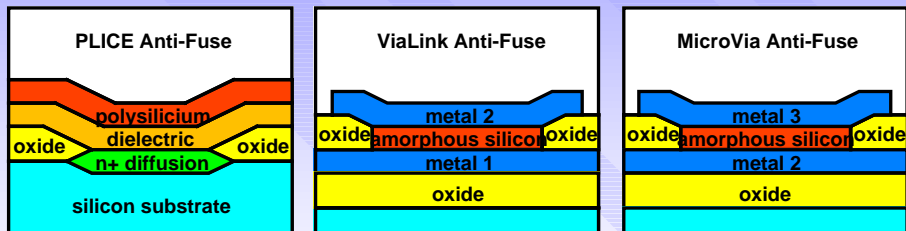


Architectures 2D, row-based et sea of gates

Technologie de programmation SRAM, EPROM ou EEPROM



Technologie de programmation antifusible



Eléments de base des blocs logiques

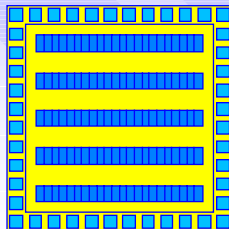
paire de transistors	TP
portes logiques de base	AND, XOR
multiplexeurs	MUX
unités fonctionnelles	FU
tables de référence	LUT
bascules bistables	DFF

COMPANY	FAMILY	ARCHITECTURE	LOGIC BLOCK ELEMENTS	PROGRAMMING TECHNOLOGY	EQUIVALENT GATES
XILINX	XC4000 (SPARTAN)	2D array	2(1) x 4(5)in-2(1)out LUT 2 x DFF	SRAM	4K-500K (5K-40K)
XILINX	XC5200	2D array	4 x 4in LUT , 4 x DFF	SRAM	2K-18K
XILINX	XC6200	sea of gates	1 x 2in FU	SRAM	9K-64K
XILINX	XC8100	sea of gates	2in AND - 2in OR (4in AND / DLAT / TBUF)	anti-fuse	1.2K-8.7K
XILINX	VIRTEX (SPARTAN II)	2D array	4 x 4in LUT , 4 x DFF 4 x RAM	SRAM	58K-1.1M 30K-131K bits 15K-150K (16K-48K bits)
ALTERA	FLEX	2D array	8 x 4in LUT , 8 x DFF	SRAM	4K-24K
QUICKLOGIC	pASIC-1	2D array	4 x 2in AND , 2 x 6in AND 1 x 4in MUX , 1 x DFF	anti-fuse	1K-8K
ACTEL	ACT-1	row-based	1 x 4in MUX	anti-fuse	1.2K-2K
ACTEL	ACT-2	row-based	1 x 4in MUX / DFF	anti-fuse	2.5K-8K
ACTEL	ACT-3	row-based	1 x 4in MUX / DFF	anti-fuse	1.5K-10K
CROSSPOINT	CP20K	row-based	4 x TP , 1 x 2in MUX	anti-fuse	1.3K-17K
ATMEL	Cli	sea of gates	3 x 2in AND , 1 x 2in XOR 1 DFF	SRAM	5K

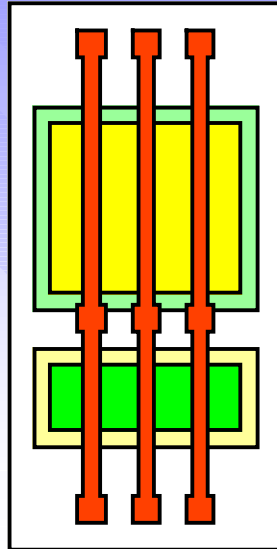
Circuits semi-personnalisés

Gate Array (channeled gate array):

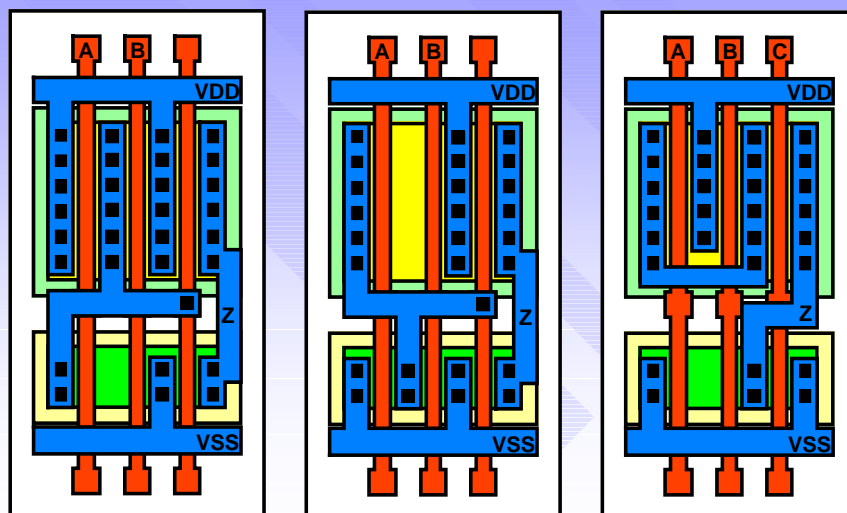
circuit regroupant un grand nombre de motifs prédéfinis élémentaires qui permettent d'implémenter des portes logiques; entre ces motifs, agencés en ligne, des canaux de routage à 2 métaux ou plus permettent d'interconnecter les portes logiques



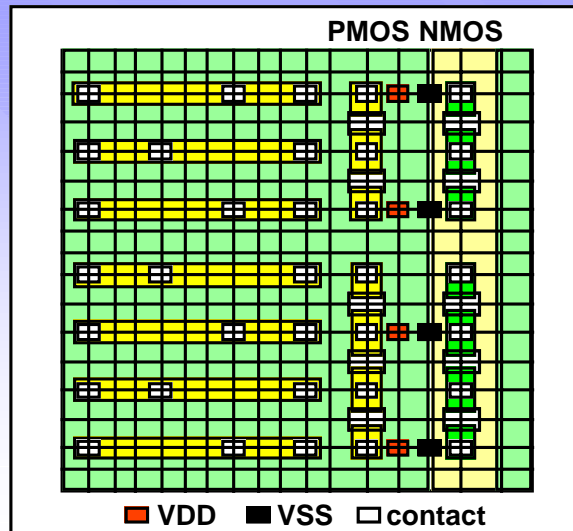
Motif prédiffusé élémentaire



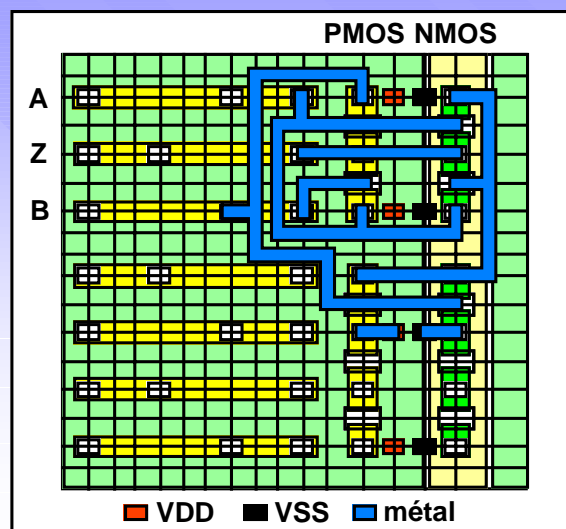
Exemples d'implantation



Motif prédiffusé élémentaire



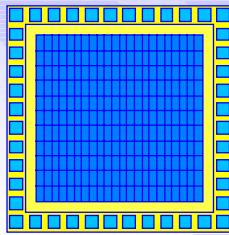
Exemple d'implantation



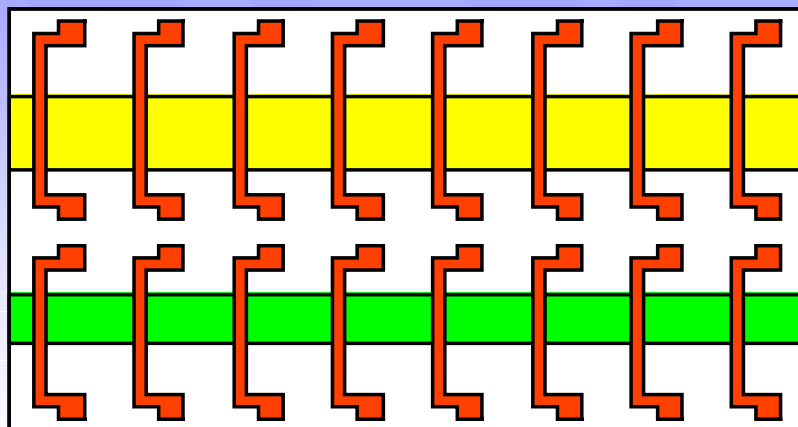
Circuits semi-personnalisés

Sea of Gates (channelless gate array):

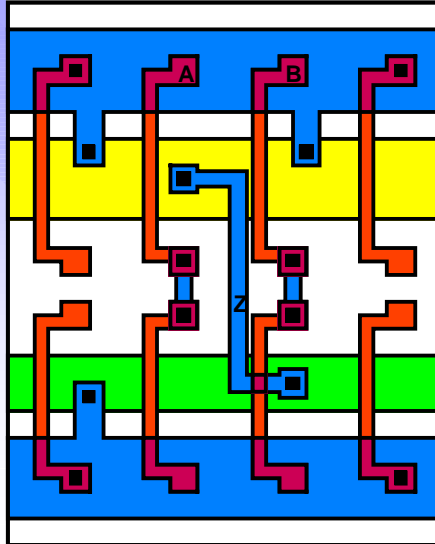
circuit constitué d'un réseau continu de transistors prédiffusés;
ce réseau, dépourvu de canaux de routage, offre une plus grande
souplesse pour l'implémentation des portes logiques



Base prédiffusée



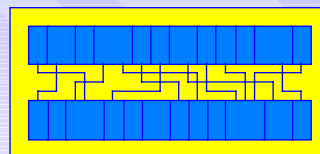
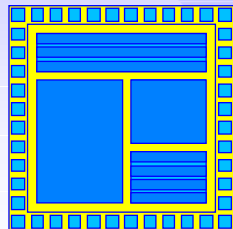
Exemple d'implantation



Circuits sur mesure

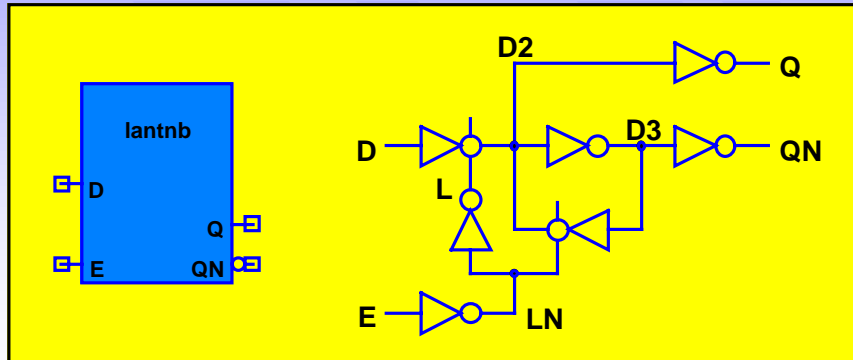
Standard Cell (cell-based integrated circuit):

circuit regroupant des fonctions logiques standard disponibles sous forme de cellules précaractérisées dans une bibliothèque; en plus des blocs fonctionnels réalisés en cellules standard, ce circuit peut aussi contenir des macrocellules (ROM, RAM)

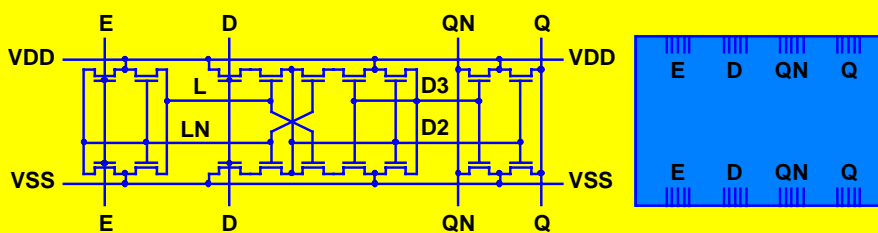


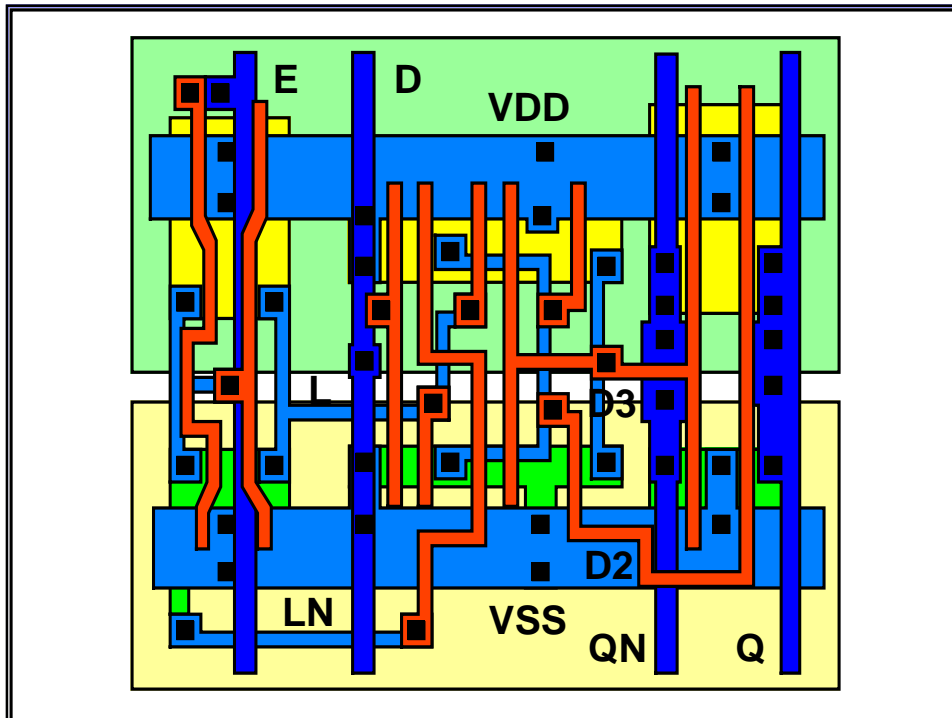
Routage des cellules

Cellule standard: schémas logiques



Cellule standard: schémas d'implantation





Circuits sur mesure

Full Custom:

circuit entièrement dessiné à la main; la présence de fonctions analogiques peut conduire à la mise en œuvre de cette approche qui ne se justifie que pour des volumes de production élevés

