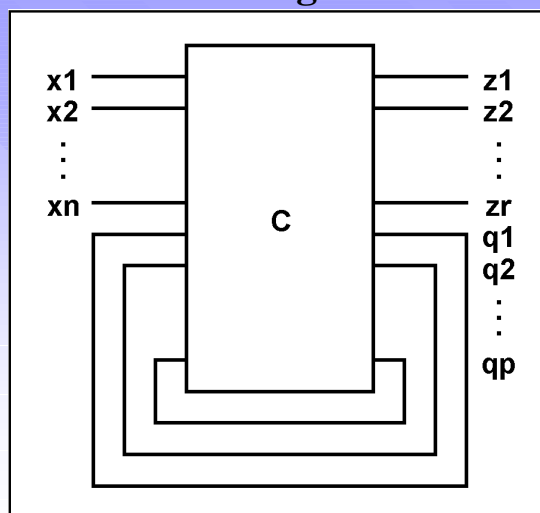


Circuits séquentiels (2)

- Circuit asynchrone en transmission
- Élément de mémoire D
- Bascule bistable D biflanc

andre.stauffer@epfl.ch

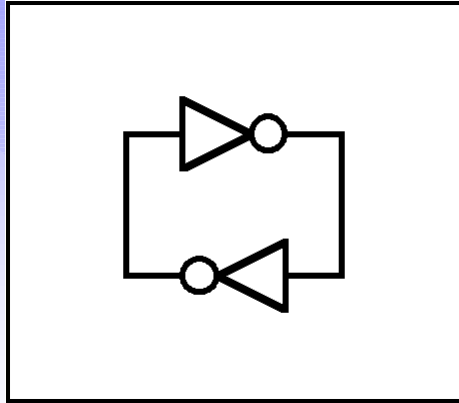
Circuit asynchrone Structure générale



x_i : variables d'entrée, q_j : variables internes, z_k : variables de sortie

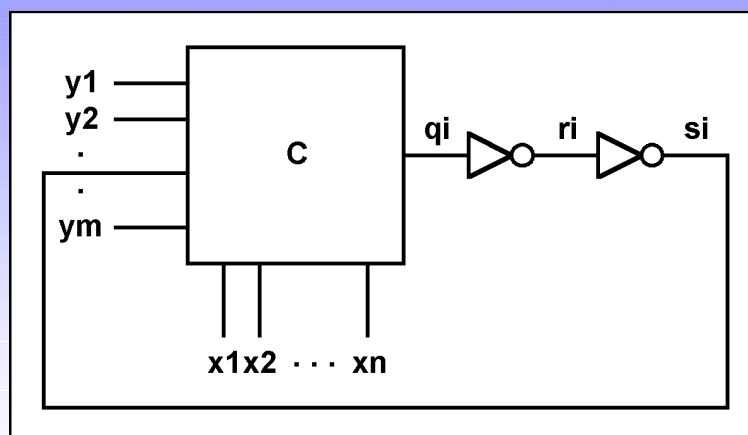
Circuit asynchrone

Principe de la mémorisation statique



Circuit asynchrone

Variable interne de transmission



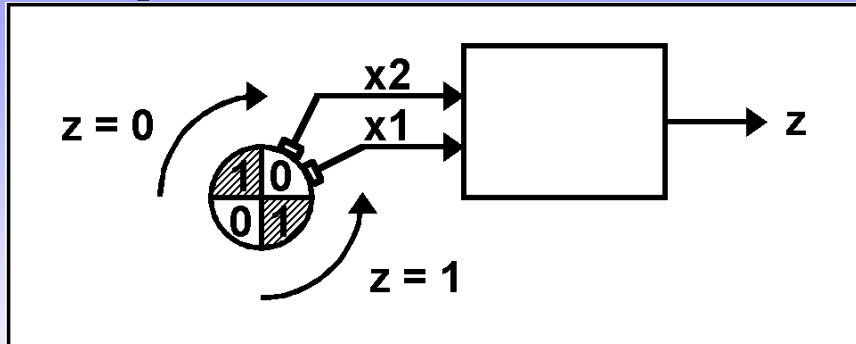
x_i : variable de conduction

y_j : variable de transmission

$s_i = r_i' = (q_i)'$: variable de confirmation

Circuit asynchrone

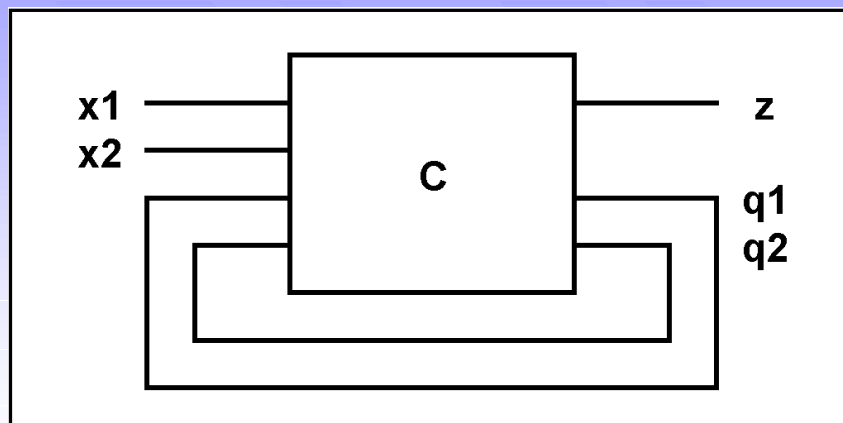
Exemple: discriminateur du sens de rotation



Il s'agit d'un dispositif à deux variables d'entrée x_1 et x_2 qui indique lorsque $z=0$ (resp. $z=1$) qu'un arbre tourne dans le sens (resp. dans le sens inverse) des aiguilles d'une montre
La séquence $x_1x_2 = 00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 00$ engendre ainsi $z=0$
La séquence $x_1x_2 = 00 \rightarrow 10 \rightarrow 11 \rightarrow 01 \rightarrow 00$ engendre elle $z=1$

Circuit asynchrone

Discriminateur: structure générale



Variables d'entrée x_1 , x_2 , internes q_1 , q_2 , de sortie z

Circuit asynchrone

Discriminateur: table d'états

		x1x2			
		00	01	11	10
q1q2	00	00,0	01,0	10,1	00,1
	01	01,1	01,0	11,0	00,1
	11	01,1	11,1	11,0	10,0
	10	00,0	11,1	10,1	10,0

Etats futurs q1+, q2+ et état de sortie z

Circuit asynchrone

Variable interne q1: blocs d'une variable, 0 et 1

		(q1)		x1	
		0	1	1	0
q1	0	0	0	1	0
	1	0	0	1	0
	0	0	1	1	1
	1	0	1	1	1

$$q1 = (x1'.x2 + x1.x2') [q1]_{NP} + x1'.x2' [0]_N + x1.x2 [1]_P$$

Circuit asynchrone

Variable interne q1: relations

Equation logique symétrique:

$$q1 = (x1'.x2 + x1.x2') [q1]_{NP} + x1'.x2' [0]_N + x1.x2 [1]_P$$

Expressions structurelles:

$$q1_N = (x1'.x2 + x1.x2') [q1] + x1'.x2' [0]$$

$$q1_P = (x1.x2' + x1'.x2) [q1] + x1'.x2' [1]$$

Fonction de confirmation:

$$q1 = s1$$

$$q1' = r1$$

Expressions structurelles:

$$q1_N = (x1'.x2 + x1.x2') [s1] + x1'.x2' [0]$$

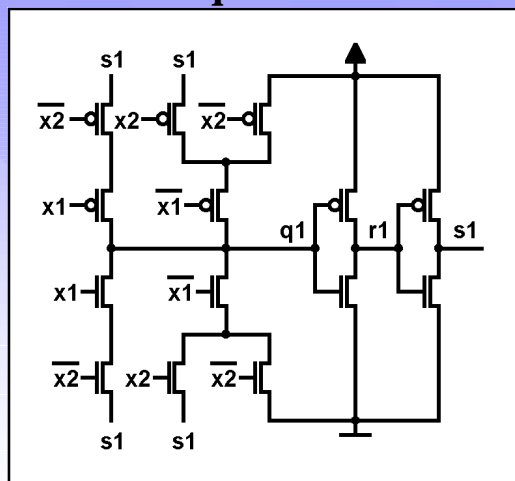
$$= x1.x2' [s1] + x1'.(x2 [s1] + x2' [0])$$

$$q1_P = (x1.x2' + x1'.x2) [s1] + x1'.x2' [1]$$

$$= x1.x2' [s1] + x1'.(x2 [s1] + x2' [1])$$

Circuit asynchrone

Variable interne q1: schéma à transistors

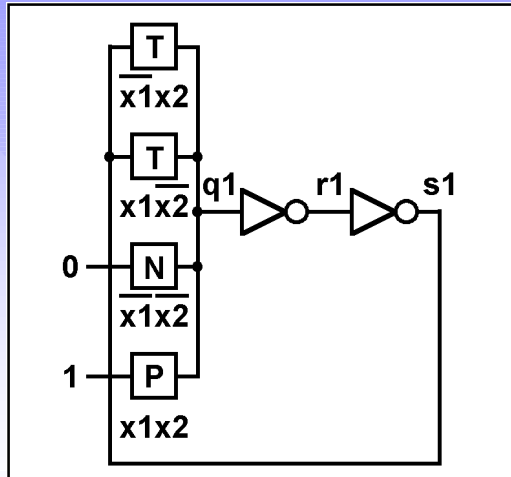


$$q1_N = x1.x2' [s1] + x1'.(x2 [s1] + x2' [0]) \quad r1_N = q1 \quad s1_N = r1$$

$$q1_P = x1.x2' [s1] + x1'.(x2 [s1] + x2' [1]) \quad r1_P = q1 \quad s1_P = r1$$

Circuit asynchrone

Variable interne q1: schéma logique

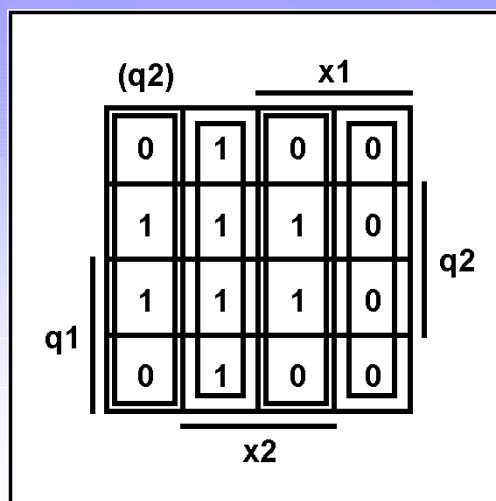


Equation logique symétrique reconstituée:

$$q1 = (x1'.x2 + x1.x2') [s1]_{NP} + x1'.x2' [0]_N + x1.x2 [1]_P$$

Circuit asynchrone

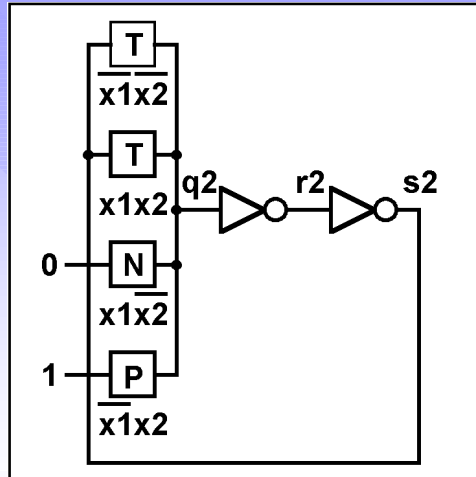
Variable interne q2: blocs d'une variable, 0 et 1



$$q2 = (x1'.x2' + x1.x2) [q2]_{NP} + x1.x2' [0]_N + x1'.x2 [1]_P$$

Circuit asynchrone

Variable interne q1: schéma logique

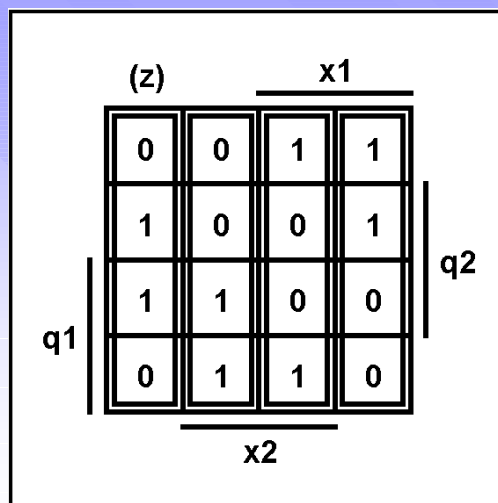


Equation logique symétrique reconstituée:

$$q2 = (x1'.x2' + x1.x2) [s2]_{NP} + x1.x2' [0]_N + x1'.x2 [1]_P$$

Circuit asynchrone

Variable de sortie z: blocs d'une variable



$$z = x1'.x2' [q2]_{NP} + x1'.x2 [q1]_{NP} + x1.x2' [q1']_{NP} + x1.x2 [q2']_{NP}$$

Circuit asynchrone

Variable de sortie z: relations

Equation logique symétrique:

$$z = x1'.x2' [q2]_{NP} + x1'.x2 [q1]_{NP} + x1.x2' [q1']_{NP} + x1.x2 [q2']_{NP}$$

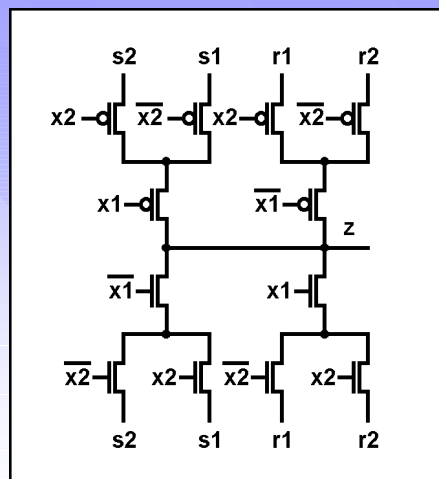
Expressions structurelles:

$$\begin{aligned} z_N &= x1'.x2' [q2] + x1'.x2 [q1] + x1.x2' [q1'] + x1.x2 [q2'] \\ &= x1'.x2' [s2] + x1'.x2 [s1] + x1.x2' [r1] + x1.x2 [r2] \\ &= x1'.(x2' [s2] + x2 [s1]) + x1.(x2' [r1] + x2 [r2]) \end{aligned}$$

$$\begin{aligned} z_P &= x1.x2 [q2] + x1.x2' [q1] + x1'.x2 [q1'] + x1'.x2' [q2'] \\ &= x1.x2 [s2] + x1.x2' [s1] + x1'.x2 [r1] + x1'.x2' [r2] \\ &= x1.(x2 [s2] + x2' [s1]) + x1'.(x2 [r1] + x2' [r2]) \end{aligned}$$

Circuit asynchrone

Variable de sortie z: schéma à transistors

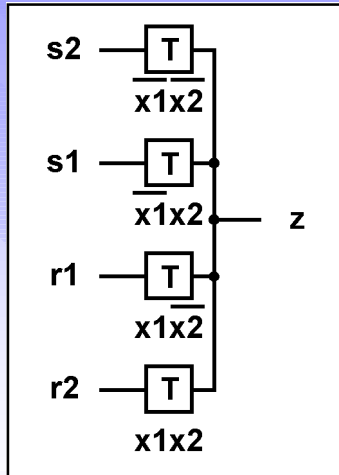


$$z_N = x1'.(x2' [s2] + x2 [s1]) + x1.(x2' [r1] + x2 [r2])$$

$$z_P = x1.(x2 [s2] + x2' [s1]) + x1'.(x2 [r1] + x2' [r2])$$

Circuit asynchrone

Variable de sortie z: schéma logique

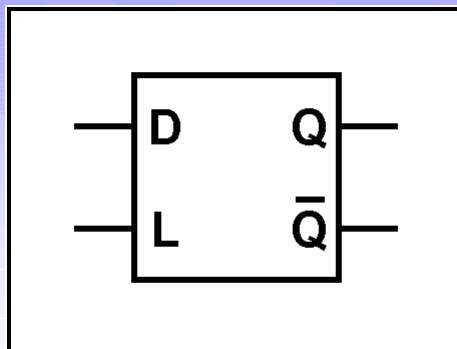


Equation logique symétrique reconstituée:

$$z = x1'.x2' [s2]_{NP} + x1'.x2 [s1]_{NP} + x1.x2' [r1]_{NP} + x1.x2 [r2]_{NP}$$

Élément de mémoire D

Symbole logique



Elément de mémoire D

Table d'états

		L D			
		00	01	11	10
0	0	0	1	0	
1	1	1	1	0	
Q					

Elément de mémoire D

Variable interne Q: blocs d'une variable

		L			
	0	0	1	0	
Q	1	1	1	0	
	D				

$$Q = L [D]_{NP} + L' [Q]_{NP}$$

Elément de mémoire D

Variable interne Q: relations

Equation logique symétrique:

$$Q = L [D]_{NP} + L' [Q]_{NP}$$

Expressions structurelles:

$$Q_N = L [D] + L' [Q]$$

$$Q_P = L' [D] + L [Q]$$

Fonction de confirmation:

$$Q = S$$

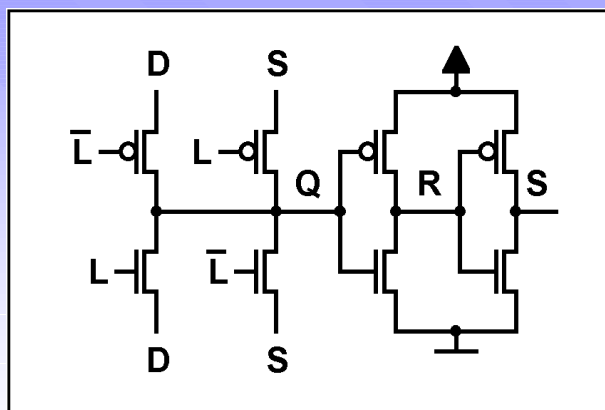
Expressions structurelles:

$$Q_N = L [D] + L' [S]$$

$$Q_P = L' [D] + L [S]$$

Elément de mémoire D

Schéma à transistors

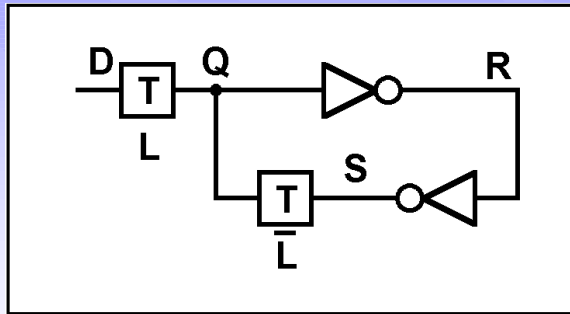


$$Q_N = L [D] + L' [S] \quad R_N = Q \quad S_N = R$$

$$Q_P = L' [D] + L [S] \quad R_P = Q \quad S_P = R$$

Elément de mémoire D

Schéma logique

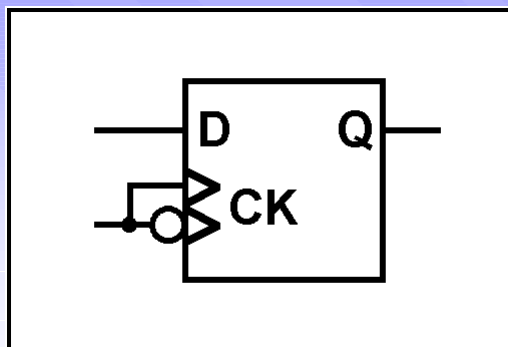


Equation logique symétrique reconstituée:

$$Q = L [D]_{NP} + L' [S]_{NP}$$

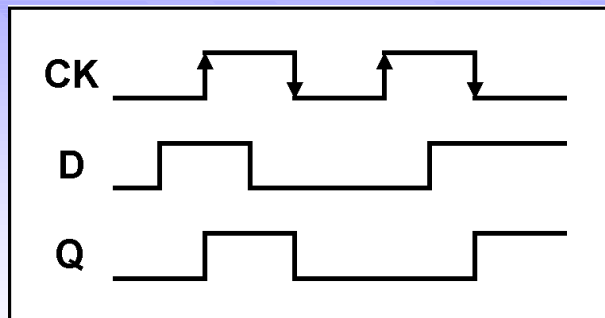
Bascule bistable D biflanc

Symbole logique



Bascule bistable D biflanc

Fonctionnement



Bascule bistable D biflanc

Table d'états

		CK D			
		00	01	11	10
Q1Q2	00	00,0	01,0	10,0	00,0
	01	00,0	01,0	11,1	01,1
	11	10,1	11,1	11,1	01,1
	10	10,1	11,1	10,0	00,0

Etats futurs Q1+, Q2+ et état de sortie Q

Bascule bistable D biflanc

Variable interne Q1: blocs d'une variable

Q1		CK		
0	0	1	0	Q2
0	0	1	0	
1	1	1	0	
1	1	1	0	
		D		

$$Q1 = CK' [Q1]_{NP} + CK [D]_{NP}$$

Bascule bistable D biflanc

Variable interne Q1: relations

Equation logique symétrique:

$$Q1 = CK' [Q1]_{NP} + CK [D]_{NP}$$

Expressions structurelles:

$$Q1_N = CK' [Q1] + CK [D]$$

$$Q1_P = CK [Q1] + CK' [D]$$

Fonction de confirmation:

$$Q1 = S1$$

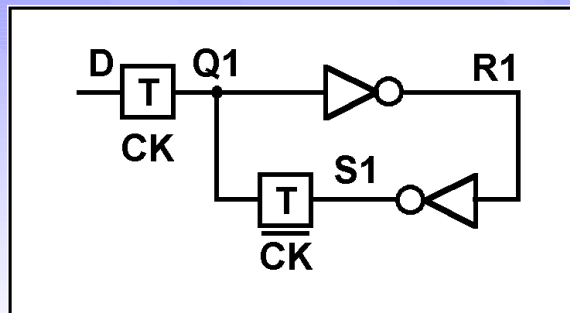
Expressions structurelles:

$$Q1_N = CK' [S1] + CK [D]$$

$$Q1_P = CK [S1] + CK' [D]$$

Bascule bistable D biflanc

Variable interne Q1: schéma logique

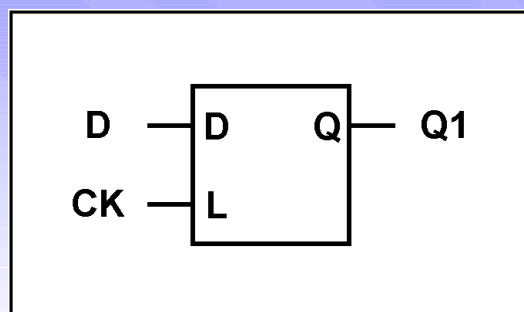


Equation logique symétrique reconstituée:

$$Q1 = CK' [S1]_{NP} + CK [D]_{NP}$$

Bascule bistable D biflanc

Variable interne Q1: élément de mémoire D



Bascule bistable D biflanc

Variable interne Q2: blocs d'une variable

Q2		CK	
		0	1
Q1	0	0	0
	0	1	1
	1	1	1
	1	0	0

D

$$Q2 = CK' [D]_{NP} + CK [Q2]_{NP}$$

Bascule bistable D biflanc

Variable interne Q2: relations

Equation logique symétrique:

$$Q2 = CK' [D]_{NP} + CK [Q2]_{NP}$$

Expressions structurelles:

$$Q2_N = CK' [D] + CK [Q2]$$

$$Q2_P = CK [D] + CK' [Q2]$$

Fonction de confirmation:

$$Q2 = S2$$

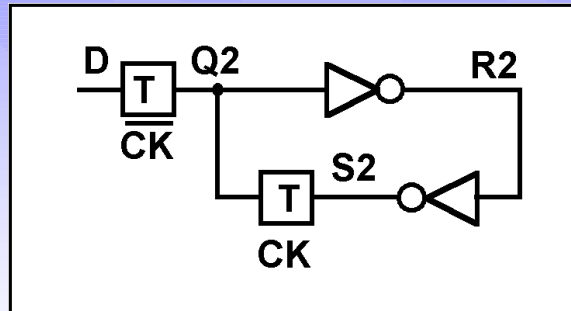
Expressions structurelles:

$$Q2_N = CK' [D] + CK [S2]$$

$$Q2_P = CK [D] + CK' [S2]$$

Bascule bistable D biflanc

Variable interne Q2: schéma logique

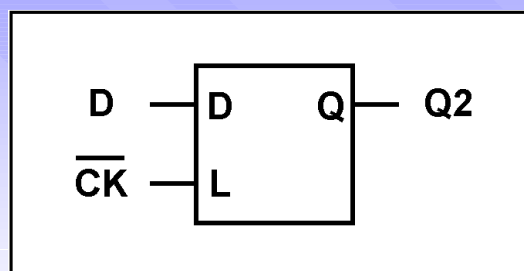


Equation logique symétrique reconstituée:

$$Q2 = CK' [D]_{NP} + CK [S2]_{NP}$$

Bascule bistable D biflanc

Variable interne Q2: élément de mémoire D



Bascule bistable D biflanc

Variable de sortie Q: blocs d'une variable

Q		CK	
		0	1
Q1	0	0	0
	0	0	1
	1	1	1
	1	1	0
		D	

$$Q = CK' [Q1]_{NP} + CK [Q2]_{NP}$$

Bascule bistable D biflanc

Variable de sortie Q: relations

Equation logique symétrique:

$$Q = CK' [Q1]_{NP} + CK [Q2]_{NP}$$

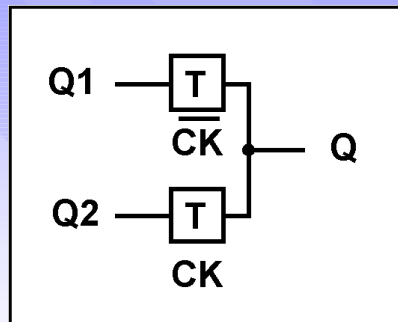
Expressions structurelles:

$$Q_N = CK' [Q1] + CK [Q2]$$

$$Q_P = CK [Q1] + CK' [Q2]$$

Bascule bistable D biflanc

Variable de sortie: schéma logique

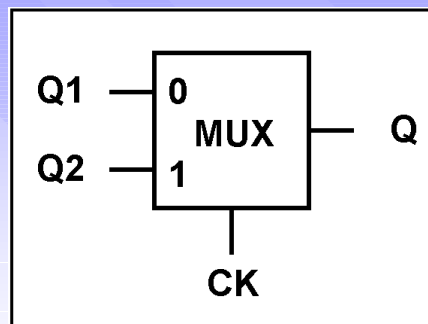


Equation logique symétrique:

$$Q = CK' [Q1]_{NP} + CK [Q2]_{NP}$$

Bascule bistable D biflanc

Variable de sortie Q: multiplexeur



Bascule bistable D biflanc

Schéma logique

