

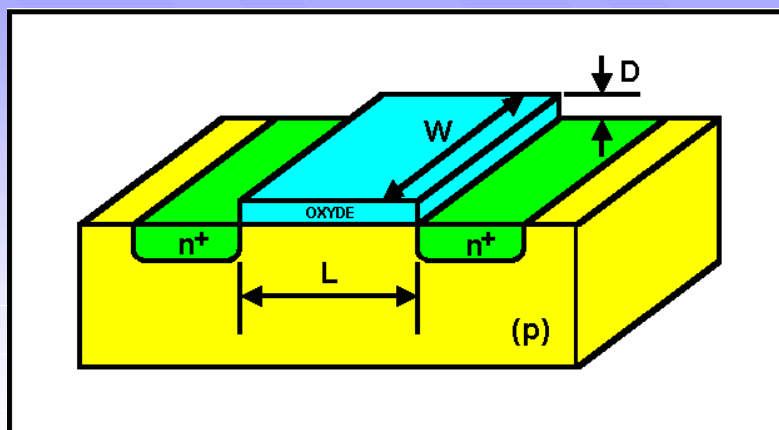
Inverseur CMOS

- Transistor nMOS
- Caractéristique de transfert
- Temps de commutation

andre.stauffer@epfl.ch

Transistor nMOS

Paramètres géométriques et technologiques



W: largeur du canal, L: longueur du canal, D: épaisseur de l'oxyde

Transistor nMOS

Modèle linéaire

Le modèle linéaire du transistor est valable pour V_{DS} petit:

$$I_{DS} = \beta (V_{GS} - V_T) V_{DS}$$

Dans ce modèle β est le facteur de gain du transistor:

$$\beta = \epsilon\mu/D \cdot W/L$$

Le facteur technologique $\epsilon\mu/D$ introduit la constante diélectrique de l'oxyde (ϵ) et la mobilité des électrons (μ_n) ou des trous (μ_p) avec:

$$\mu_n \approx 1,6 \mu_p$$

Le facteur géométrique correspond à W/L

Transistor nMOS

Modèle quadratique

Le modèle quadratique du transistor s'applique lorsque V_{DS} augmente:

$$I_{DS} = \beta (V_{GS} - V_T) V_{DS} - 1/2 \beta V_{DS}^2$$

La valeur limite s'obtient par dérivation:

$$dI_{DS} / dV_{DS} = 0$$

$$\beta (V_{GS} - V_T) - \beta V_{DS} = 0$$

$$V_{DS} = V_{GS} - V_T$$

Il s'agit de la tension de saturation:

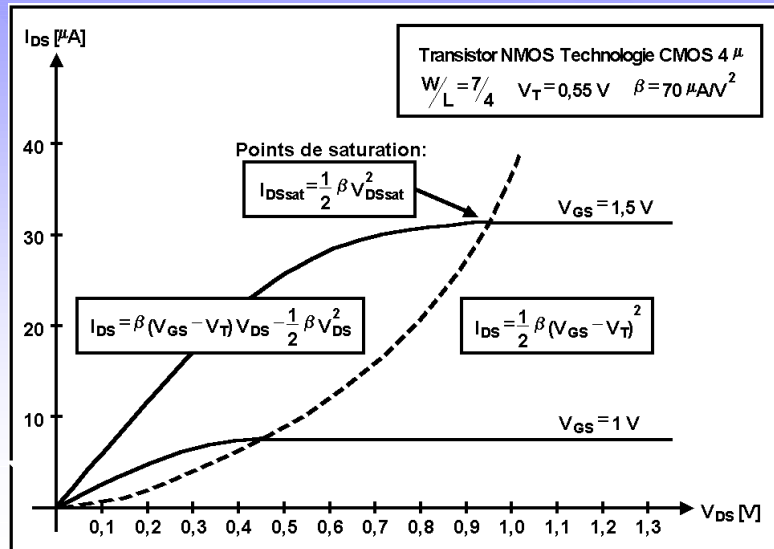
$$V_{DSsat} = V_{GS} - V_T$$

Le courant de saturation correspondant vaut:

$$I_{DSsat} = 1/2 \beta (V_{GS} - V_T)^2 = 1/2 \beta V_{DSsat}^2$$

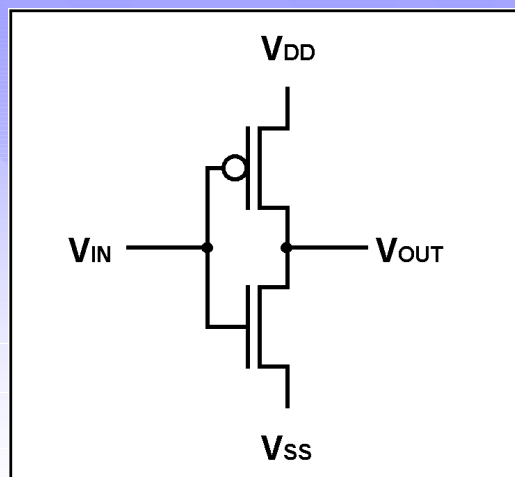
Transistor nMOS

Courbes du transistor



Inverseur CMOS

Schéma à transistors

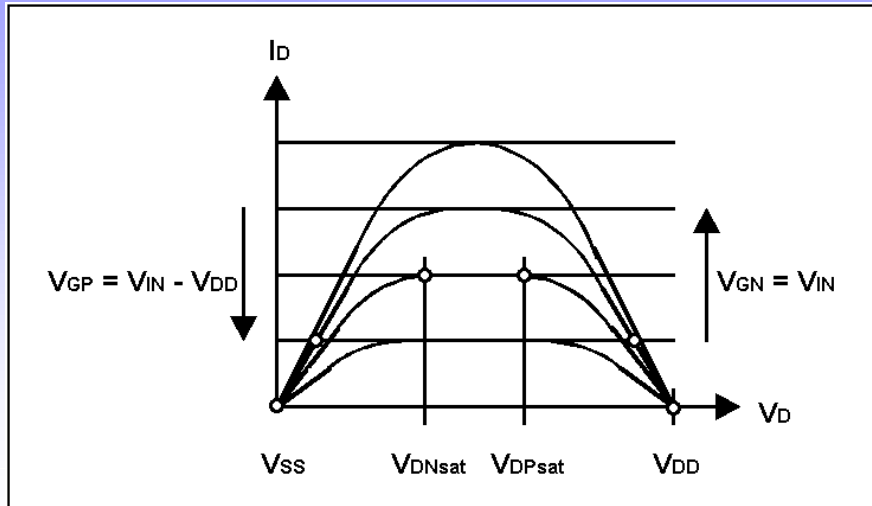


$$V_{IN} = V_{GN} \quad V_{OUT} = V_{DN}$$

$$V_{IN} = V_{GP} + V_{DD} \quad V_{OUT} = V_{DP} + V_{DD}$$

Inverseur CMOS

Caractéristiques de sortie



si V_{IN} croît alors V_{GN} croît et $|V_{GP}|$ décroît

Transistor nMOS

Modèle quadratique ajusté

Le modèle quadratique ajusté du transistor vérifie la relation:

$$I_{DS} = \beta (V_{GS} - V_T) V_{DS} - 1/2 n \beta V_{DS}^2$$

Dans ce modèle, n est le facteur de pente et sa valeur est déterminée expérimentalement

La valeur limite s'obtient par dérivation:

$$\begin{aligned} dI_{DS} / dV_{DS} &= 0 \\ V_{DS} &= 1/n (V_{GS} - V_T) \end{aligned}$$

Il s'agit de la tension de saturation:

$$V_{DSsat} = 1/n (V_{GS} - V_T)$$

Le courant de saturation correspondant vaut:

$$I_{DSsat} = 1/2n \beta (V_{GS} - V_T)^2 = 1/2 n \beta V_{DSsat}^2$$

Caractéristique de transfert

Relations du transistor nMOS

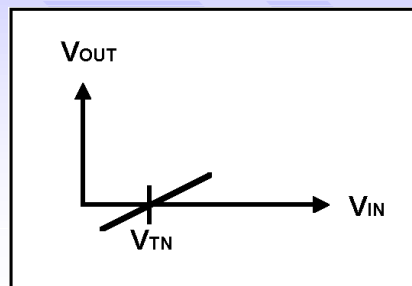
$$V_{GN} = V_{IN}$$

$$V_{DN} = V_{OUT}$$

La tension de saturation du transistor devient ainsi:

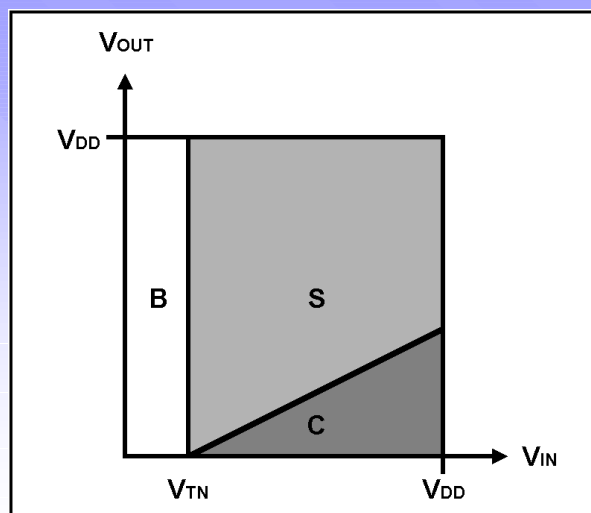
$$V_{DNsat} = 1/n_N (V_{GN} - V_{TN})$$

$$V_{OUTsat} = 1/n_N (V_{IN} - V_{TN})$$



Caractéristique de transfert

Transistor nMOS



$$V_{OUTsat} = 1/n_N (V_{IN} - V_{TN})$$

Caractéristique de transfert

Relations du transistor pMOS

$$V_{GP} = V_{IN} - V_{DD}$$

$$V_{DP} = V_{OUT} - V_{DD}$$

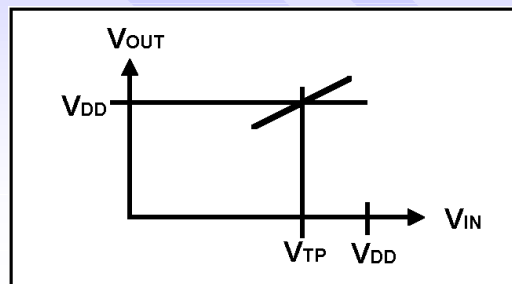
La tension de saturation du transistor devient ainsi:

$$V_{DPsat} = 1/n_p (V_{GP} - V_{TP})$$

$$V_{OUTsat} - V_{DD} = 1/n_p (V_{IN} - V_{DD} - V_{TP})$$

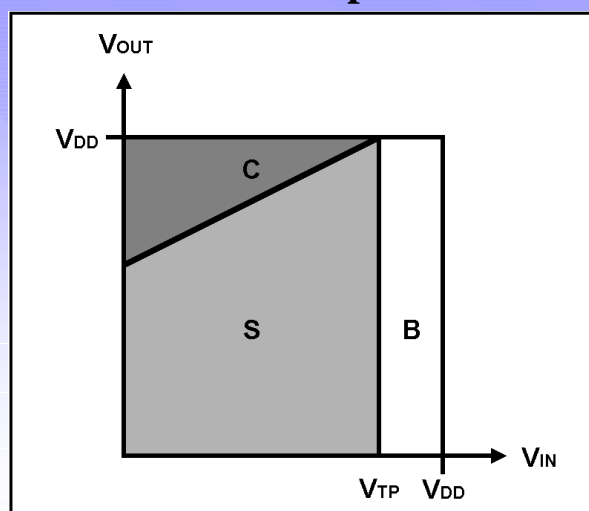
$$V_{OUTsat} - V_{DD} = 1/n_p (V_{IN} - V_{DD} - V_{TP})$$

$$V_{OUTsat} = 1/n_p (V_{IN} - V_{DD} - V_{TP}) + V_{DD}$$



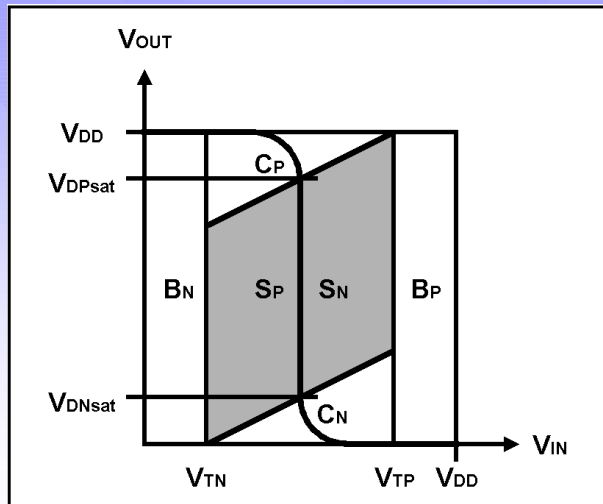
Caractéristique de transfert

Transistor pMOS



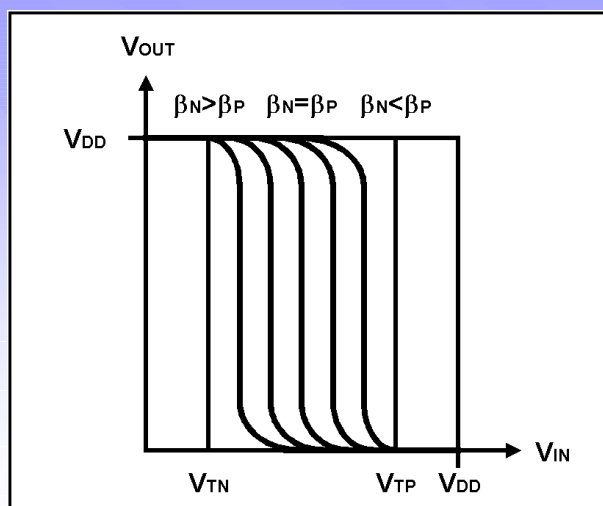
$$V_{OUTsat} = 1/n_p (V_{IN} - V_{DD} - V_{TP}) + V_{DD}$$

Caractéristique de transfert Inverseur CMOS: superposition



B: bloqué, S: saturé, C: conduisant

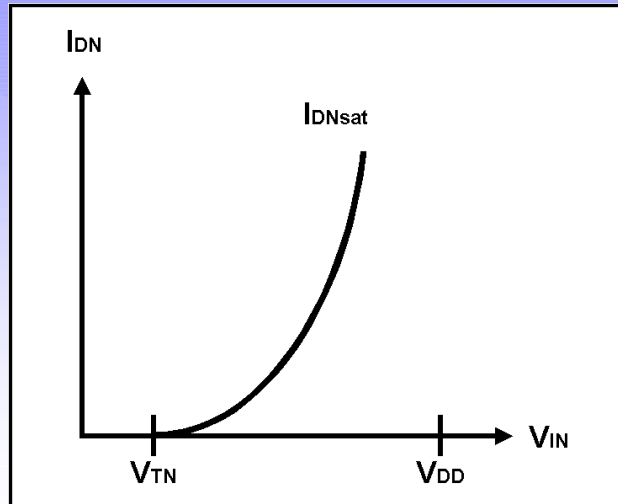
Caractéristique de transfert Point de commutation



Diviseur résistif: si β_N croît, $R_N = 1/\beta_N$ décroît et V_{IN} décroît

Inverseur CMOS

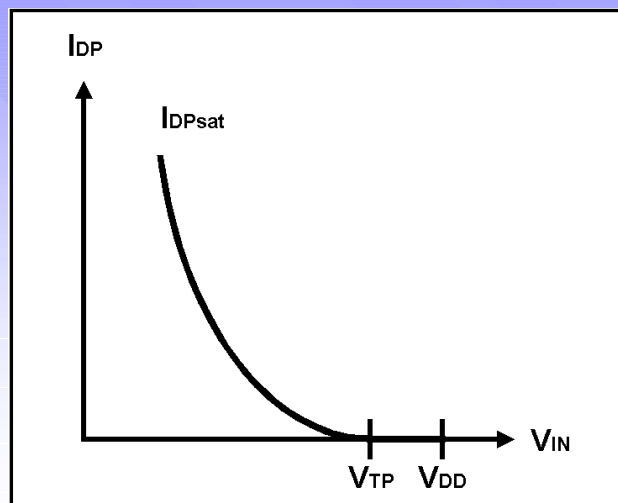
Courant dans le transistor nMOS



$$I_{DNsat} = \frac{1}{2} n_N \beta_N V_{DNsat}^2 = \frac{1}{2} n_N \beta_N (V_{IN} - V_{TN})^2$$

Inverseur CMOS

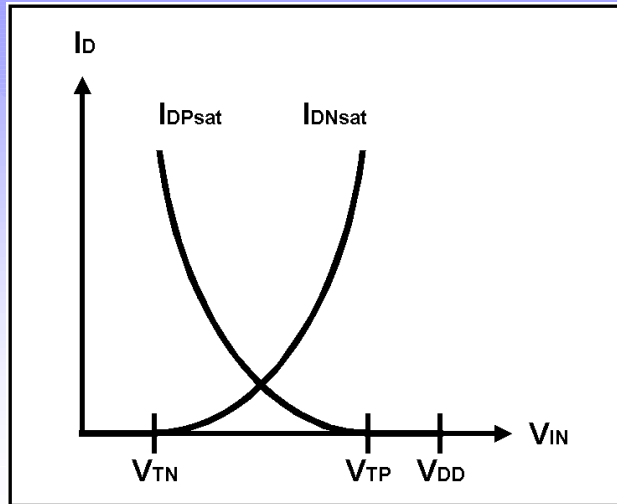
Courant dans le transistor pMOS



$$I_{DPsat} = \frac{1}{2} n_P \beta_P V_{DPsat}^2 = \frac{1}{2} n_P \beta_P (V_{IN} - V_{DD} - V_{TP})^2$$

Inverseur CMOS

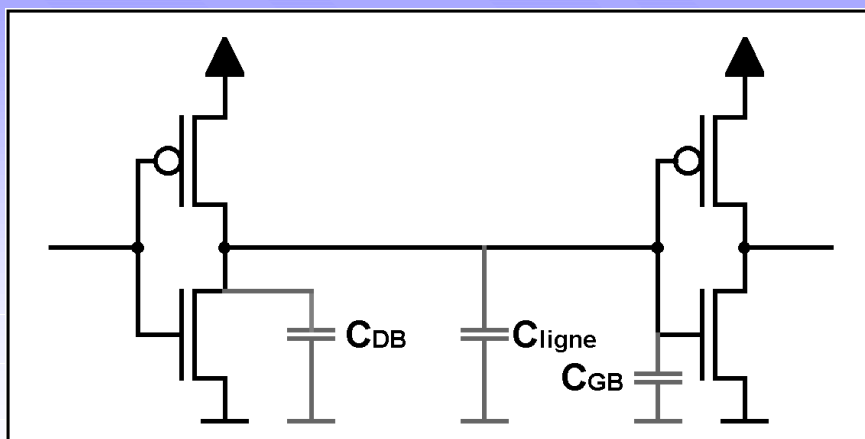
Point de commutation: superposition



$$I_{DNSat} = I_{DPSat}$$

Inverseur CMOS

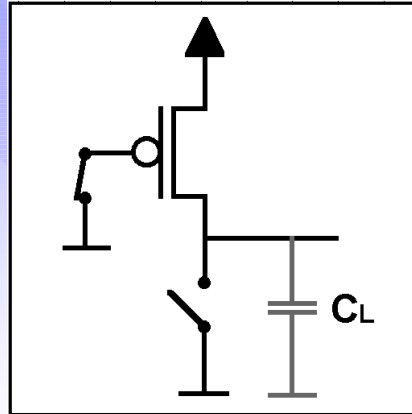
Capacité de charge



$$C_L = C_{DB} + C_{ligne} + C_{GB}$$

Inverseur CMOS

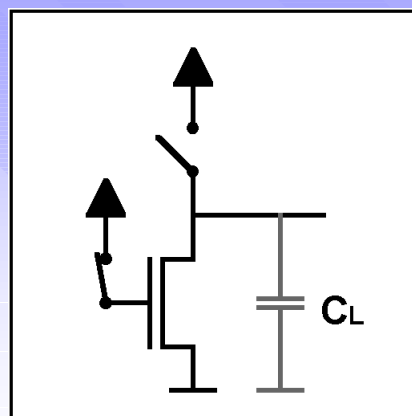
Fonctionnement logique



$V_{IN} = V_{SS}$: charge de la capacité par le transistor pMOS

Inverseur CMOS

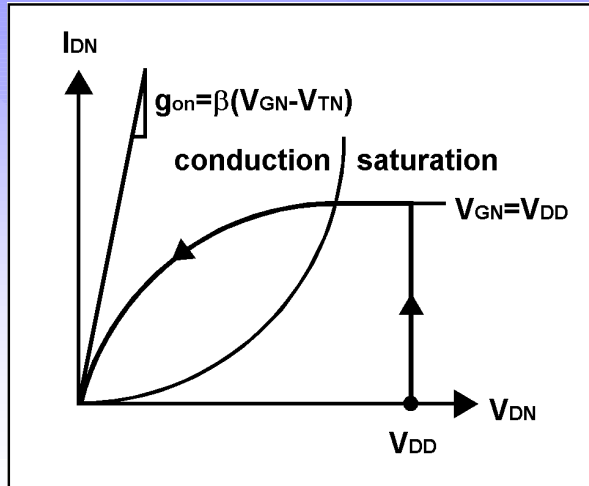
Fonctionnement logique



$V_{IN} = V_{DD}$: décharge de la capacité par le transistor nMOS

Inverseur CMOS

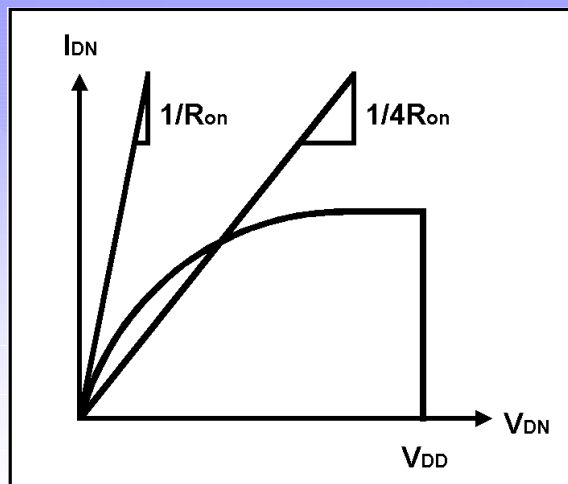
Fonctionnement logique



commutation: $V_{IN} = V_{GN}$ passe de V_{SS} à V_{DD}

Inverseur CMOS

Résistance non linéaire du transistor

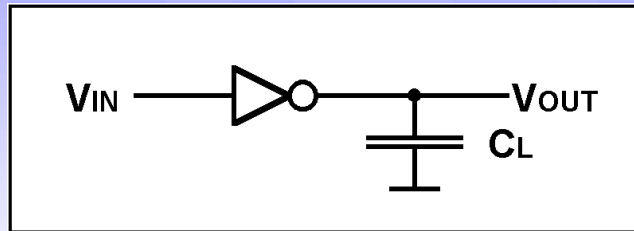


valeur initiale: $R_{ON} = 1 / \beta_N (V_{GN} - V_{TN})$

valeur constante équivalente: $R_{equ} \approx 4 R_{ON}$ pour $V_{DD} \approx 5 V_{TN}$

Temps de commutation

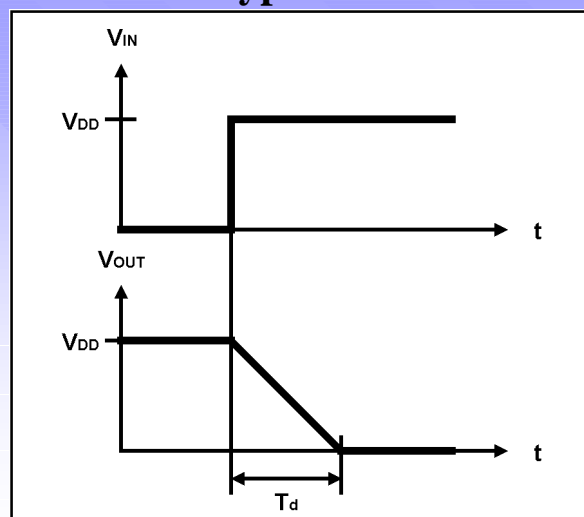
Hypothèse



Lors de la charge (resp. la décharge) de la capacité, le transistor pMOS (resp. nMOS) reste en régime saturé et fonctionne comme une source de courant constant

Temps de commutation

Hypothèse



le temps de descente T_d est égal à la constante de temps $R_N \cdot C_L$

Temps de commutation

Décharge de la capacité

Temps de descente:

$$T_d = C_L \cdot (V_{DD} / I_{DNsat})$$

Courant de saturation:

$$I_{DNsat} = 1/2 \beta_N (V_{DD} - V_{TN})^2$$
$$T_d = 2 C_L V_{DD} / \beta_N (V_{DD} - V_{TN})^2$$

Facteur de gain:

$$\beta_N = \epsilon \mu_n / D \cdot W/L$$

ϵ et D sont des constantes dictées par la technologie:

$$T_d = f(1 / \beta_N) = K \cdot (1 / \mu_n) \cdot (L / W)$$

Temps de commutation

Charge de la capacité

Temps de montée:

$$T_m = C_L \cdot (V_{DD} / I_{DPsat})$$
$$T_m = f(1 / \beta_P) = K \cdot (1 / \mu_p) \cdot (L / W)$$

Rapport des temps de commutation:

$$T_m / T_d = \mu_n / \mu_p$$

Pour $\mu_n = 2 \mu_p$:

$$T_m / T_d = 2$$

Temps de commutation

Porte logique

m transistors en série correspondent à un transistor équivalent dont le canal est m fois plus long:

$$L' = m \cdot L$$

n transistors en parallèle correspondent à un transistor équivalent dont le canal est n fois plus large:

$$W' = n \cdot W$$

Rapport des temps de commutation:

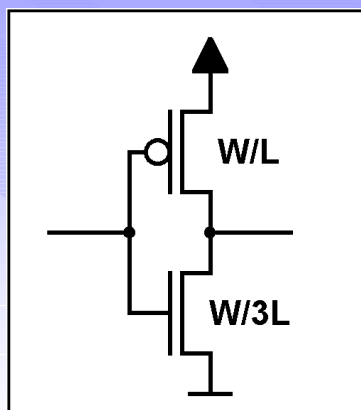
$$T_m = K \cdot (1 / \mu_p) \cdot (L_{P'} / W_{P'})$$

$$T_d = K \cdot (1 / \mu_n) \cdot (L_{N'} / W_{N'})$$

$$T_m / T_d = \mu_n / \mu_p \cdot L_{P'} / L_{N'} \cdot W_{N'} / W_{P'}$$

Temps de commutation

Porte NAND à 3 entrées

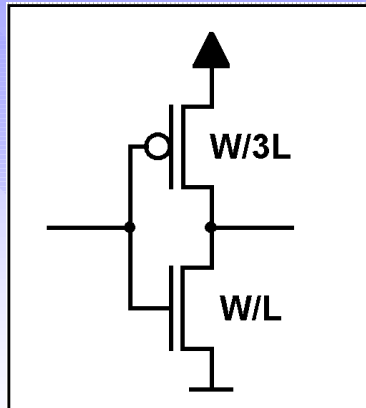


$$T_m / T_d = \mu_n / \mu_p \cdot L_{P'} / L_{N'} \cdot W_{N'} / W_{P'}$$

$$T_m / T_d = 2/1 \cdot 1/3 \cdot 1/1 = 2/3$$

Temps de commutation

Porte NOR à 3 entrées

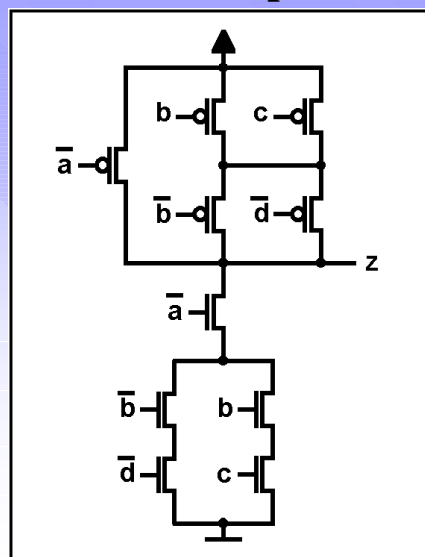


$$T_m / T_d = \mu_n / \mu_p \cdot L_P^2 / L_N^2 \cdot W_N' / W_P'$$

$$T_m / T_d = 2/1 \cdot 3/1 \cdot 1/1 = 6$$

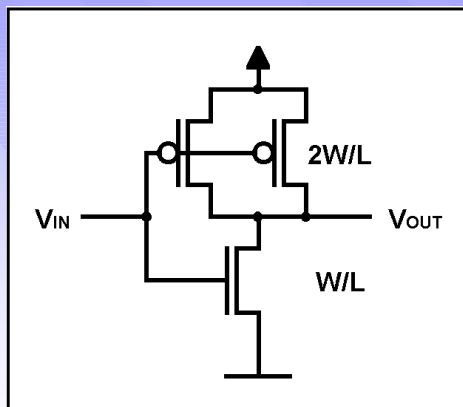
Temps de commutation

Porte complexe



Temps de commutation

Egalisation des temps de montée et de descente

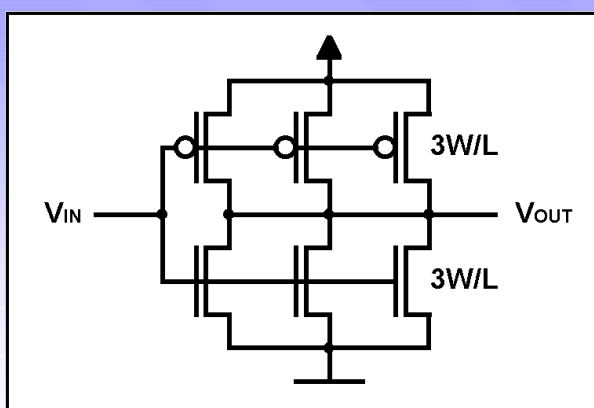


$$T_m / T_d = \mu_n / \mu_p \cdot L_P' / L_N' \cdot W_N' / W_P'$$

$$T_m / T_d = 2/1 \cdot 1/1 \cdot 1/2 = 1$$

Temps de commutation

Amplification 3x

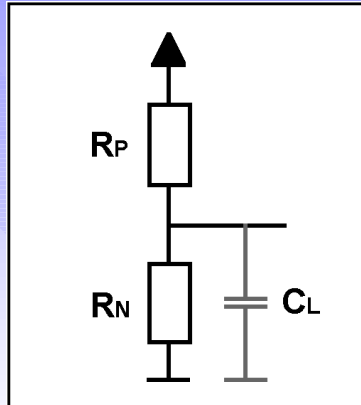


$$T_m / T_d = \mu_n / \mu_p \cdot L_P' / L_N' \cdot W_N' / W_P'$$

$$T_m / T_d = 2/1 \cdot 1/1 \cdot 3/3 = 2$$

Temps de commutation

Modèle résistif de l'inverseur



$R_P = 200 \text{ } [\Omega]$ (conduit) $>1 \text{ } [M\Omega]$ (bloqué)

$R_N = 100 \text{ } [\Omega]$ (conduit) $>1 \text{ } [M\Omega]$ (bloqué)

$C_L = 100 \text{ } [pF]$

$V_{DD} = 5 \text{ } [V]$

Temps de commutation

Modèle résistif de l'inverseur

Constante de temps de la charge:

$$R_P \cdot C_L = 20 \text{ } [ns]$$

Constante de temps de la décharge:

$$R_N \cdot C_L = 10 \text{ } [ns]$$

Temps de commutation:

$$T_m = 20 \text{ } [ns]$$

$$T_d = 10 \text{ } [ns]$$

$R_P = 200 \text{ } [\Omega]$ (conduit) $>1 \text{ } [M\Omega]$ (bloqué)

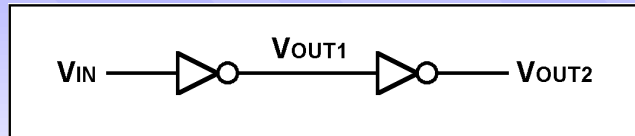
$R_N = 100 \text{ } [\Omega]$ (conduit) $>1 \text{ } [M\Omega]$ (bloqué)

$C_L = 100 \text{ } [pF]$

$V_{DD} = 5 \text{ } [V]$

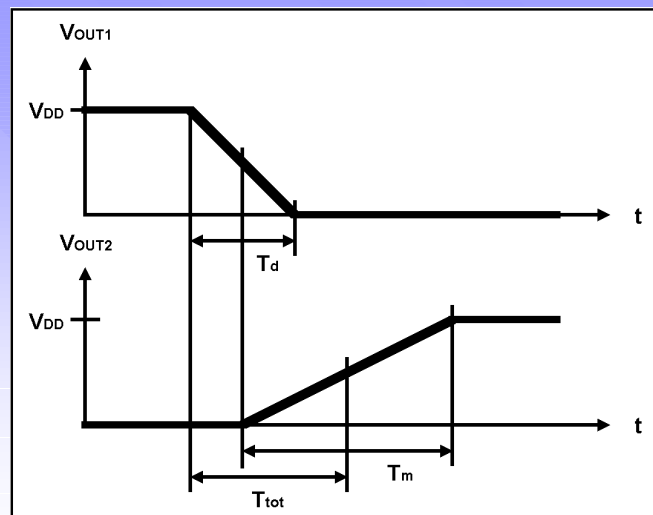
Temps de commutation

Mise en série



les inverseurs commencent à commuter à $V_{DD}/2$

Temps de commutation



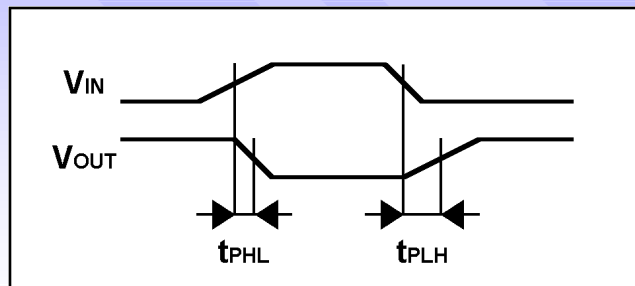
T_m : temps de montée, T_d : temps de descente, T_{tot} : temps total
 $T_{tot} = 1/2 (T_d + T_m)$

Temps de propagation

Définitions

t_{PLH} : temps de propagation lors de la transition de 0 à 1 de la sortie V_{OUT}

t_{PHL} : temps de propagation lors de la transition de 1 à 0 de la sortie V_{OUT}



$$t_{PLH} = T_m / 2$$

$$t_{PHL} = T_d / 2$$

Inverseur CMOS

Relations

Energie dissipée lors d'une commutation (charge ou décharge de la capacité):

$$E = 1/2 C_L V_{DD}^2 \text{ [W/s]}$$

Energie dissipée lors d'un cycle (charge et décharge de la capacité):

$$E = C_L V_{DD}^2 \text{ [W/s]}$$

Puissance dissipée par n portes logiques fonctionnant à la fréquence f:

$$P = n f C_L V_{DD}^2 \text{ [W]}$$

Inverseur CMOS

Dissipation

Pour diminuer la puissance dissipée, il convient de:

- diminuer la tension d'alimentation V_{DD}
- réduire la fréquence de fonctionnement f

La dissipation due à la charge contribue en grande partie à la dissipation dynamique

La dissipation statique est négligeable si les tensions d'entrée sont fournies par des circuits CMOS

Inverseur CMOS

Propriétés des circuits numériques CMOS

Les circuits numériques CMOS sont caractérisés par:

- une grande immunité aux bruits
- une grande indépendance de la tension d'alimentation
- une faible consommation de puissance
- des temps de montée et de descente comparables