

## Evolution et tendances

- Evolution technologique
- Méthodologies de conception
- Circuits asynchrones
- Circuits adiabatiques

andre.stauffer@epfl.ch

## Evolution technologique

Pendant 40 ans, depuis l'invention du circuit intégré, les progrès exponentiels de la microélectronique représentent annuellement:

- un 15% de réduction des géométries
- un 30% de diminution des coûts de fabrication
- un 50% d'augmentation des performances électriques des circuits

Ces progrès technologiques ont engendré annuellement:

- un 15% d'augmentation du marché des semiconducteurs générant suffisamment de revenus pour couvrir la croissance exponentielle (de l'ordre de 15%) des coûts de la recherche et du développement

## Evolution technologique

La majeure partie des dépenses actuelles est dévolue à la recherche et au développement de la fabrication nécessaires à assurer annuellement:

- un 15% d'augmentation des dimensions de la puce (chip)
- un 15% d'augmentation des dimensions de la plaquette (wafer)
- une réduction du nombre de défauts par unité de surface
- une augmentation du nombre de niveaux d'interconnexion (1 niveau supplémentaire tous les 4 ans)

## Evolution technologique

Les limitations identifiées en 1980 ont été vaincues. A cette époque, on considérait que des dimensions de 0,3 à 0,5  $\mu\text{m}$  comme limites ultimes de la miniaturisation. Les innovations techniques indispensables furent:

- l'auto-alignement de la structure drain-source du transistor
- le fonctionnement à basse tension des circuits
- la mise en oeuvre de lasers UV permettant une précision lithographique inférieure au quart de micron
- le polissage mécanique-chimique des plaquettes

## Problème de propagation

La réduction des géométries dans les circuits engendre un problème de délai de propagation lié aux interconnexions:

- la longueur relative des interconnexions d'un circuit s'accroît notablement avec la miniaturisation et le nombre de niveaux de métal
- la longueur totale des interconnexions devrait atteindre plusieurs kilomètres pour la technologie 0,1  $\mu\text{m}$
- le délai de propagation dans les interconnexions dépasse alors celui des portes logiques et excède même la période du signal d'horloge

**Solution:**

- les circuits asynchrones ou autosynchrones

## Problème de consommation

La longueur des interconnexions dans les circuits engendre des problèmes de consommation liés aux capacités:

- la capacité totale du circuit dépend de la longueur totale de ses interconnexions
- la puissance dissipée ( $P=f.C.VDD^2$ ) devient prohibitive même si la tension d'alimentation est ramenée à une valeur minimale de 0,7 à 1 V

**Solution:**

- les circuits asynchrones ou autosynchrones
- les circuits adiabatiques

## Evolution économique

- la part de marché des semiconducteurs s'accroît de 15% par année
- la part de marché de l'industrie électronique dans son ensemble s'accroît de 7% par année
- la part des semiconducteurs dans les équipements électroniques représente actuellement le 20% des coûts
- le 80% restant des coûts correspond aux alimentations, aux affichages, à l'emballage, au logiciel, etc...
- par extrapolation, la part des semiconducteurs atteindra le 40% des coûts vers 2010, ce qui correspond probablement à la valeur maximale acceptable
- la croissance des semiconducteurs passera par conséquent de 15% à 7%

## Evolution économique

- la consommation de silicium par personne et par année est actuellement de 12 cm<sup>2</sup> par année
- le nombre de transistors s'élève aujourd'hui à quelque 10 millions par cm<sup>2</sup>
- la consommation de silicium se situera aux environs de 70 cm<sup>2</sup> en 2010
- le nombre de transistors sera de l'ordre de 100 millions par cm<sup>2</sup>
- de nouvelles applications devront être trouvées pour absorber ces 700 millions de transistors par personne et par année

## Rêve technologique

- les semiconducteurs actuels résultent de l'évolution du transistor et de ses procédés de fabrication
- face aux limites prévisibles de ce modèle, il s'agira de trouver un nouveau dispositif et les méthodes associées
- un modèle idéal serait un substrat regroupant un vaste ensemble de motifs servant de primitives
- le substrat permettrait ainsi de faire croître des éléments actifs auto-organisés tels que des nanostructures ou des molécules
- les nanostructures ou molécules présenteraient alors collectivement le comportement du système complexe à réaliser

## Prévisions technologiques

La SIA (Semiconductor Industry Association) établit des prévisions technologiques tous les 3 ans (Technology Roadmap). Ces prévisions se réfèrent aux circuits à transistors MOS et à leurs procédés de fabrication. Pour les vérifier, les fabricants devront surmonter un certain nombre de défis technologiques:

- le développement de procédés lithographiques à faible longueur d'onde ( $< 200$  nm)
- la maîtrise du délai de propagation dans les interconnexions ( $T_{\text{wire}} = C_{\text{wire}} \cdot R_{\text{wire}}$ )
- l'emploi de matériaux à faible constante diélectrique pour les couches d'isolation ( $C_{\text{wire}} = (\epsilon \cdot W_{\text{wire}}) / D$ )
- l'emploi de matériaux à faible résistance pour les interconnexions ( $R_{\text{wire}} = \Omega / (W_{\text{wire}} \cdot H_{\text{wire}})$ )

## Prévisions technologiques

- la précision des procédés de fabrication comme la croissance du matériaux de grille des transistors (  $D_{gate}=L_{gate}/(25-50)$ , pour  $L_{gate}=100$  nm :  $D_{gate}=2-4$  nm)
- l'emploi de matériaux à forte constante diélectrique pour les transistors
- la maîtrise de la puissance d'alimentation (  $P=f.C.VDD^2$  )
- la réduction de la tension d'alimentation VDD
- la réduction de la tension de seuil  $V_T$  des transistors
- le développement de procédures de test non exhaustives incluant des approches statistiques
- la maîtrise des coûts de production des circuits
- l'augmentation du rendement par diminution de la densité de défauts ( 0.2 défaut/cm<sup>2</sup> en 1997, 0.1 défaut/cm<sup>2</sup> en 2009 )

ITEM	1997	1999	2001	2003	2006	2009	2012
FEATURE [nm]	250	180	150	130	100	70	50
CHIP SIZE [cm <sup>2</sup> ]	3	3.4	3.85	4.3	5.2	6.2	7.5
COMPLEXITY [MOS]	11M	21M	40M	76M	200M	520M	1.4G
DENSITY [MOS/cm <sup>2</sup> ]	3.7M	6.2M	10.4M	17.7M	38.5M	83.9M	186.7M
GLOBAL CLOCK [GHz]	0.75	1.2	1.4	1.6	2	2.5	3
LOCAL CLOCK [GHz]	0.75	1.25	1.5	2.1	3.5	6	10
VDD SUPPLY [V]	2.5 - 1.8	1.8 - 1.5	1.5 - 1.2	1.5 - 1.2	1.2 - 0.9	0.9 - 0.6	0.6 - 0.5
POWER [W]	70	90	110	130	160	170	175
METAL LEVELS	6	6 to 7	7	7	7 to 8	8 to 9	9
METAL LENGTH [Km]	0.8	1.2	1.8	3	5	10	24
COST/MOS [10 <sup>-6</sup> cent]	3000	1735	1000	580	255	110	49
CHIP COST [\$]	330	357	400	440	510	572	686

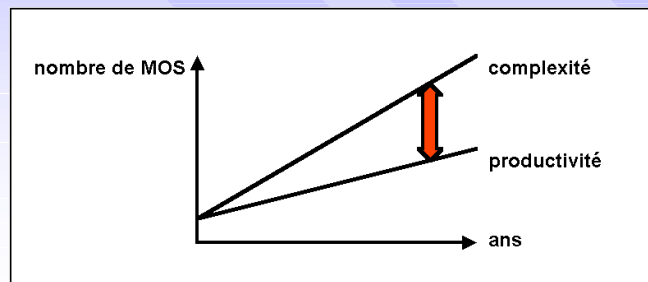
## Prévisions technologiques

Les prévisions technologiques de la SIA (Semiconductor Industry Association) tablent ainsi sur des évolutions annuelles moyennes correspondant à:

- un 10% de réduction des géométries
- un 5-10% d'augmentation de la surface de la puce
- un 35-40% d'augmentation du nombre des transistors de la puce
- un 10% d'augmentation de fréquence de l'horloge globale
- un 20% d'augmentation de fréquence de l'horloge locale
- un 5-10% de réduction de la tension d'alimentation
- un 5-10% d'augmentation de la consommation
- un 20-25% d'augmentation de longueur des interconnexions
- un 25% de réduction du coût des transistors
- un 5% d'augmentation du coût de la puce

## Méthodologies de conception

- la productivité de dessin désigne le nombre de transistors qu'un opérateur dessine en un jour
- la complexité représente le nombre de transistors du circuit sur la puce
- au fil des ans, un fossé s'est creusé entre ces deux nombres de transistors



## Méthodologies de conception

- la réutilisation de conception (design reuse) est une des réponses au problème de la complexité
- elle permet de récupérer des blocs logiques tels que des processeurs ou des périphériques par exemple
- selon le SIA Roadmap, elle correspondra jusqu'au 90% de la logique embarquée sur la puce

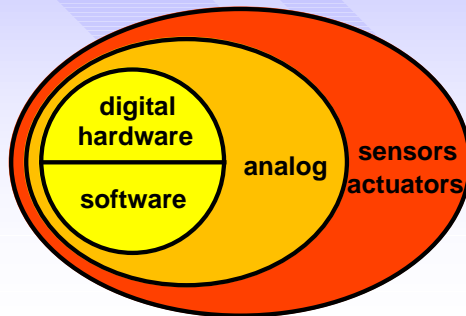
YEAR OF FIRST PRODUCT SHIPMENT	1997	1999	2001	2003	2006	2009	2012
TECHNOLOGY [nm]	250	180	150	130	100	70	50
ENABLE DESIGN REUSE METHODS FOR SYSTEMS ON A CHIP	40% REUSE	50% REUSE	55% REUSE	60% REUSE	70% REUSE	80% REUSE	90% REUSE

## Méthodologies de conception

- on appelle IPs (Intellectual Properties) les blocs logiques ainsi proposés dans le catalogue des fournisseurs
- un hard core est un bloc non paramétrable, dépendant d'une technologie, optimisé en vitesse et en surface ou en basse consommation; un modèle de simulation RTL est disponible; le nombre de portes, les performances et la consommation sont connues
- un soft core est un bloc parfois paramétrable, souvent technologiquement indépendant et décrit en VHDL ou en Verilog RTL; les caractéristiques après synthèse sont inconnues ou grossièrement évaluées pour la technologie cible choisie
- un firm core est un bloc intermédiaire entre les précédents; il est caractérisé par une portabilité limitée; des estimations quant à la complexité en nombre de portes, en performances et en consommation sont disponibles

## Méthodologies de conception

- on appelle Hardware-Software Codesign la méthodologie permettant de concevoir à haut niveau un système complet sur une puce (system on chip)
- ce circuit mixte peut regrouper à la fois du matériel (et/ou) du logiciel, de l'analogique (et/ou) du numérique ainsi que des senseurs (et/ou) des actionneurs



## Méthodologies de conception

